

Neue Technologien für hochzuverlässige Aufbau- und Verbindungstechniken leistungselektronischer Bauteile

- Dissertation -

vorgelegt von:

M. Eng. Martin Becker

geb. am 29.05.1981

Zur Erlangung des akademischen Grades
Doktoringenieur (Dr.-Ing.)

vorgelegt der:

Fakultät für Elektrotechnik und Informationstechnik
der Technischen Universität Chemnitz

Promotionsausschuss

- | | |
|---------------|-------------------------|
| 1. Gutachter: | Prof. Dr. Josef Lutz |
| 2. Gutachter: | Prof. Dr. Ronald Eisele |

Danksagung

Die freundliche Unterstützung aus dem Familien-, Freundes- und Kollegenkreis hat mir bei der Vorbereitung und Anfertigung dieser Arbeit während meiner Tätigkeit als wissenschaftlicher Mitarbeiter an der Fachhochschule Kiel sehr geholfen. Ich möchte mich hiermit herzlich bei allen bedanken, die durch anregende Diskussionsbeiträge, gemeinsame Analysen, aber auch verständnisvolle Ermunterung und wohlmeinenden Ansporn zu meiner Arbeit beigetragen haben.

Insbesondere möchte ich Herrn Prof. Josef Lutz für die entgegenkommende Betreuung meines kooperativen Promotionsvorhabens mit der Technischen Universität Chemnitz danken.

Herr Prof. Ronald Eisele hat mir als Leiter der Arbeitsgruppe „Aufbau- und Verbindungstechnik leistungselektronischer Module“ an der Fachhochschule Kiel bei der thematischen Ausrichtung und mit vielen guten Anregungen und großer Weitsicht zur Seite gestanden. Dafür bin ihm von Herzen dankbar.

Bei Herrn Dr. Frank Osterwald möchte ich mich für die gute Betreuung von Seiten der Firma Danfoss bedanken, die mir mit ihrer Kooperationsbereitschaft viele Möglichkeiten eröffnet haben. Besonders die enge fachliche Zusammenarbeit mit Herrn Dr. Osterwald und Herrn Dr. Rudzki wusste ich sehr zu schätzen.

Schließlich möchte ich dem gesamten Fachbereich Mechatronik der Fachhochschule Kiel meinen Dank aussprechen, wo ich besonders bei den Kolleginnen und Kollegen, Frau Bicakci, Herrn Bast, Herrn Hindel, Herrn Migdalek, Herrn Altemark, Herrn Müller und Herrn Zielinski, stets hilfreiche Kritik sowie organisatorische Unterstützung gefunden habe.

Kurzfassung

Leistungsmodule unterliegen in der Anwendung vielfältigen, kombinierten Beanspruchungen, die je nach Anwendung eine Herausforderung an unterschiedliche Verbindungsstellen im Modul darstellen.

Die Betriebsdauer eines Leistungsmoduls wird im Wesentlichen von den halbleiternahen Aufbau- und Verbindungstechniken limitiert. Das geht z.B. aus umfangreichen Lastwechseluntersuchungen hervor, in denen als Fehlermechanismen die Zerrüttung des Lots unter dem Chip oder das Abheben des Aluminium-Bonddrahts vom Halbleiter identifiziert wurden. Die einzelnen Verbindungsschichten im Leistungsmodul bilden eine Funktionskette, die beim Ausfall nur eines Gliedes die gesamte Funktionalität verliert. Maßnahmen zur Optimierung einzelner Schichten, z. B. der Halbleiter-Substrat-Verbindung oder nur der oberseitigen Chipkontaktierung, bringen allein stehend also nicht den gewünschten Erfolg.

In dieser Arbeit werden unterschiedliche Aufbaukonzepte leistungselektronischer Module aus Fachveröffentlichungen verglichen, bevor das eigene Konzept beschrieben wird. Die Lösung basiert dabei auf innovativen und sehr robusten Fügetechnologien, die gezielt herkömmliche Verbindungen im Aufbau ersetzen. Das Ergebnis ist ein Leistungsmodul mit verbesserten thermischen, elektrischen und thermo-mechanischen Eigenschaften.

Eine wesentliche Rolle spielt dabei das Silbersintern als Alternative zum Löten. Dank der Sintertechnik geht der Halbleiter eine hochfeste Verbindung mit dem Substrat ein. Darüber hinaus ermöglicht die Sintertechnologie das stoffschlüssige Verbinden einer dünnen Kupferfolie mit der oberen Halbleitermetallisierung. Diese Kupferfolie ist erforderlich, um das Cu-Drahtbonds für die oberseitige Kontaktierung der Halbleiter anzuwenden, ohne diesen aufgrund hoher Bondkräfte zu zerstören. Dank der vorteilhaften Materialeigenschaften ist die Cu-Bondverbindung deutlich leistungsfähiger als eine Al-Bondverbindung.

Diese Kombination aus robusten Fügestellen trägt den Namen DBB-Technologie („Danfoss BondBuffer“) und soll zukünftig dank der Verfügbarkeit sinterbarer Halbleiter in hochzuverlässigen Leistungsmodulen angewendet werden.

Abstract

Achieving the utmost reliability of power semiconductors is an ongoing challenge for the scientists and engineers in the packaging community of the industry and research institutions. Still the semiconductor and therefore the function of the power module could live longer, when only the bonding and joining technologies would be more stable against power and temperature cycling wearout. In particular, the conventional electrical connection to the top and bottom surface of the semiconductor is limiting the lifetime due to degradation. For both, the solder layer under the backside and the Al-wire on the topside of the die, it is necessary to develop new contact technologies, as the substitution of just one connection does not perform the required reliability of the module.

In this work, different new technologies for power modules were evaluated and an own development is presented. Especially the new development is characterized by an outstanding reliability while keeping the design flexibility of the currently applied methods. To achieve that, the solder joints were replaced by Ag-sintered connections and Cu-wires were bonded as a substitute of Al-wires. This new approach is called DBB-Technology („Danfoss BondBuffer“) and is demonstrated in the example of a 1700V DBB power module.

With the help of this technology sintering creates two joints: One between the bottom of die and the substrate and between the die and a thin Cu-foil, which is located on top. This Cu foil (BondBuffer) enables the Cu-bond process as top contact technology without damaging the semiconductor. The DBB Cu foil acts as an absorber for the high bond-forces.

The detailed characterization of a DBB-covered semiconductor module reveals an extraordinary high reliability improvement, enhanced thermal impedance and upgraded electrical properties.

Inhaltsverzeichnis

Inhaltsverzeichnis	9
Abkürzungsverzeichnis.....	12
1 Einleitung	13
2 Aufbau und Verbindungstechnik in der Leistungselektronik	14
2.1 Verbindungstechnologien	15
2.1.1 Lotverbindungen	15
2.1.2 Drahtbondverbindung.....	16
2.2 Prüfverfahren in der Verbindungstechnologie	18
2.2.1 Zerstörende Prüfverfahren	18
2.2.1.1 Schertest.....	18
2.2.1.2 Pulltest.....	19
2.2.2 Nichtzerstörende Prüfverfahren	19
2.2.2.1 Röntgenmikroskopie	20
2.2.2.2 Akustische Mikroskopie	20
2.2.2.3 Thermographie	21
2.3 Aufbaukonzepte konventioneller Leistungsmodule	22
2.3.1 Leistungselektronisches Rahmenmodul	22
2.3.2 Moldmodul.....	23
2.4 Thermomechanische Eigenschaften	24
2.4.1 Temperaturgradienten und Wärmespreizung	24
2.4.2 Thermische Impedanz	26
2.4.3 Krieeffekte im Verbindungsmedium	28
2.4.4 Thermomechanische Degradationsprozesse	28
3 Zuverlässigkeit.....	31
3.1 Passive Thermische Temperaturwechseltests	31
3.1.1 Temperaturschocktest	31
3.1.2 Temperaturwechseltest	33
3.2 Aktiver Lastwechseltest	33
3.2.1 Unterschiedliche Regelstrategien beim Lastwechseltest	35
4 Hochzuverlässige Modultechnologien	38
4.1 Steigende Anforderungen	38
4.2 Neue Verbindungstechnologien	39

4.2.1	Verbindung zwischen Halbleiter und Substrat	39
4.2.1.1	Diffusionslötten	40
4.2.1.2	Niedertemperatur-Sintern.....	42
4.2.1.3	Bewertung und Fazit.....	46
4.2.2	Chip-Oberseitenkontaktierung durch Ultraschallschweißverfahren	48
4.2.2.1	Aluminium Ribbons	48
4.2.2.2	Al beschichtete Cu-Drähte und Ribbons.....	49
4.2.2.3	Cu-Drähte und Ribbons	51
4.2.2.4	Bewertung und Fazit.....	56
4.3	Modulkonzepte für Hochzuverlässige Anwendungen	57
4.3.1	Moldmodul von Mitsubishi	57
4.3.2	SiPLIT von Siemens	59
4.3.3	SKiN Technologie von Semikron.....	60
4.3.4	Green Pack von Fuji	62
4.3.5	.XT-Technologie von Infineon.....	63
4.3.6	Thermische FEM-Simulationen zu den unterschiedlichen Konzepten.....	65
4.3.6.1	Vergleich der Bodenplattenmodule	65
4.3.6.2	Vergleich der Moldmodule.....	68
4.3.7	Bewertung und Fazit.....	69
5	BondBuffer Technologie	72
5.1	Prozessfolge und relevante Prüfverfahren.....	73
5.1.1	Bestückungsprozess	73
5.1.1.1	Beschleunigungstest / Impulstest.....	74
5.1.2	Sinterprozess	75
5.1.2.1	Schertest zum Bewerten einer Sinterverbindungen	76
5.1.2.2	Peeltest zum Bewerten einer Sinterverbindungen	78
5.1.2.3	Dornbiegetest zum Bewerten einer Sinterverbindung.....	80
5.1.3	Cu-Drahtbonden.....	82
5.1.3.1	Erforderliche Prüfverfahren für die Cu-Bondverbindung.....	83
5.2	Entwicklung der BondBuffer-Folie.....	86
5.3	Thermische und Elektrische Simulationen	90
5.3.1	FEM-Simulation für die Bestimmung der thermischen Impedanz	90
5.3.2	Stromtragfähigkeit von Kupferdrähten	92
6	Experimentelle Ergebnisse.....	96
6.1	Messungen zur thermischen Impedanz	96
6.2	Untersuchungen zu der Durchlassspannung.....	98
6.3	Messungen zu der Stromtragfähigkeit von Cu-Drähten.....	99
6.3.1	Thermisch symmetrisch belasteter Cu-Draht.....	100
6.3.2	Thermisch unsymmetrisch belasteter Cu-Draht	101

6.4	Zuverlässigkeitsuntersuchungen.....	103
6.4.1	Aktive Lastwechseluntersuchung an einer 1700V-DBB-Halbbrücke.....	103
6.4.2	Temperaturwechselbeständigkeit	105
7	Zusammenfassung und Ausblick	107
	Anhang	110
A.	Numerische Simulationsmodelle - Stromtragbarkeit Cu-Bond	110
A1.	300 μm -Cu-Drahtmodell	110
A2.	400 μm -Cu-Drahtmodell	111
A3.	500 μm -Cu-Drahtmodell	112
	Literaturverzeichnis	113
	Veröffentlichungen und Patente	121
	Thesen zu der Dissertation	123

Abkürzungsverzeichnis

Ag.....	Silber
ALN	Aluminiumnitrid
Cu.....	Kupfer
DBB	D anfoss B ond B uffer Technolog
DCB	Direct Copper Bonded
DLB.....	Direct Lead Bonding
ENIG.....	Electroless Nickel Immersion Gold
EOL.....	End Of Life
FEM.....	Finite Elemente Methode
IGBT	Insulated-Gate Bipolar Transistor
SAM	Scanning Acoustic Microscopy
Si ₃ N ₄	Siliziumnitrid
SiPLIT	Siemens Planar Interconnect Technologie
Sn.....	Zinn
TC.....	Temperature Cycling
TCIL.....	Thermally Conductive Insulation Layer
TIM.....	Thermal Interface Material
TLPB	Transient Liquid Phase Bonding
TLPS	Transient Liquid Phase Soldering
TST	Temperaturschockwechseltest
X-Ray.....	Röntgenmikroskopie

1 Einleitung

Leistungselektronische Module sind im Wesentlichen für das Wechsel- bzw. Gleichrichten elektrischer Ströme und Spannungen verantwortlich. Die Anforderungen an diese Module sind besonders bezüglich der Lebenszeit und Leistungsfähigkeit in der Anwendung drastisch gestiegen. Hohe Betriebstemperaturen unter starken Belastungen, wie man Sie zum Beispiel aus der Automobilindustrie kennt, sind gerade auch im Hinblick auf die Entwicklung der Elektromobilität eine große Herausforderung an die zugrundeliegenden Verbindungstechnologien leistungselektronischer Module. Neue Halbleitergenerationen ermöglichen durch höhere Betriebstemperaturen einen signifikanten Anstieg der Leistungsdichte in den Modulen, wodurch jedoch die herkömmlichen Verbindungstechnologien an ihre physikalischen Grenzen stoßen.

Viele Untersuchungen zeigen, dass ein Versagen der halbleiternahen Verbindungsstellen die wesentliche Ausfallursache in Leistungsmodulen darstellt. Sowohl die Lotverbindung unter dem Halbleiter als auch der Al-Draht für die Kontaktierung der Halbleiteroberfläche zeigen deutliche Degradationserscheinungen, die auf hohe thermomechanische Spannungen im Betrieb zurückzuführen sind. Um den steigenden Anforderungen gerecht zu werden, ist es also dringend erforderlich, neben der Optimierung bestehender Verfahren auch neue Verbindungstechnologien zu entwickeln. Die hohe Aufmerksamkeit für innovative Modulkonzepte auf internationalen Konferenzen demonstriert das Interesse an neuen hochzuverlässigen Aufbau- und Verbindungstechnologien, die es ermöglichen, immer weitere Anwendungsfelder zu erschließen und neue Maßstäbe in der Leistungsdichte zu setzen.

Neben der hohen Belastbarkeit einer neuen Verbindungstechnologie sind jedoch auch die technologischen und ökonomischen Rahmenbedingungen der Prozesse zu berücksichtigen, um gute Voraussetzungen für eine industrielle Fertigung zu schaffen.

Das Ziel dieser Arbeit war es, die Verbindungen zum Halbleiter durch neue hochzuverlässige Kontaktierungsverfahren zu realisieren und damit die wesentlichen Schwachstellen herkömmlicher Module, das Lot unter und die Al-Drähte über dem Halbleiter, zu eliminieren. Die dafür erforderlichen Prozesse sollten entwickelt und qualifiziert und an Technolgie demonstratoren umgesetzt werden. Außerdem sollte der Nachweis einer hohen Zuverlässigkeit anhand aktiver Lastwechseluntersuchungen erbracht werden.

2 Aufbau und Verbindungstechnik in der Leistungselektronik

Leistungselektronische Systeme basieren auf einer Vielzahl unterschiedlicher Komponenten, die entsprechend der gewünschten Anforderung dimensioniert und angeordnet werden müssen. Die Halbleiter werden in der Regel durch eine Lotverbindung mit einem DCB-Substrat (Direct Copper Bonded) verbunden, wodurch sowohl die elektrischen als auch thermischen Anbindungen gewährleistet sein müssen. Um dem Aufbau mechanische Stabilität zu verschaffen und eine definierte Schnittstelle zu einem untergeordneten Kühler zu erzeugen, ist das Substrat oftmals mit einer massiven Bodenplatte verbunden, über die der Wärmetransport stattfindet. Die stromtragenden Pfade werden im Wesentlichen durch verschweißte Al-Drähte mit den im Kunststoffrahmen eingelassenen Außenanschlüssen des Leistungsmoduls kontaktiert.

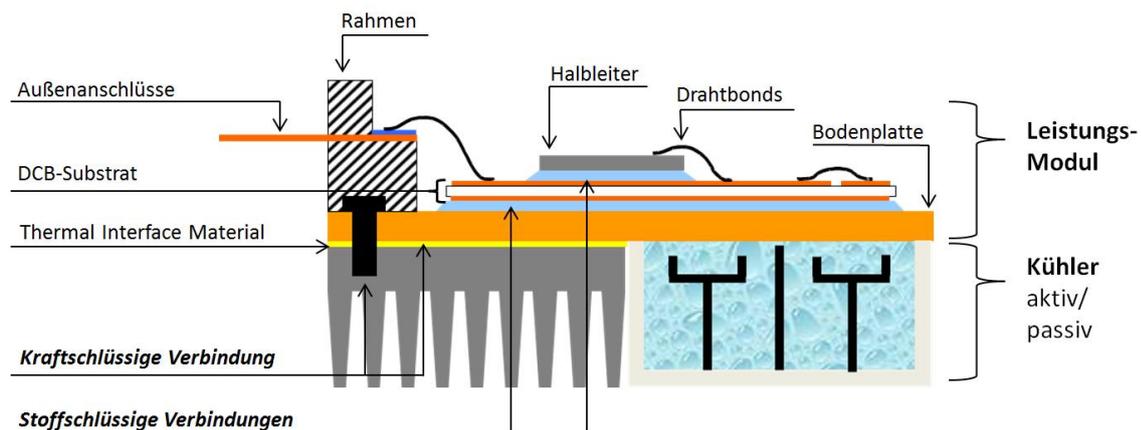


Abb. 2-1: Leistungselektronisches System am Beispiel eines kommerziellen Rahmenmoduls

Wie in Abb. 2-1 gezeigt lassen sich die Verbindungen im Leistungsmodul in zwei Kategorien einteilen:

- kraftschlüssige Verbindungen
- stoffschlüssige Verbindungen

Bei einer kraftschlüssigen Verbindung sorgt die Normalkraft zwischen den Fügepartnern zu einer sehr hohen Haftreibung, wodurch zwei Oberflächen zueinander fixiert sind. Als Beispiel kann man die Verbindung eines Moduls zum Kühlkörper heranziehen, wo eine hohe Normalkraft durch die Schraubverbindung erzielt wird (siehe Abb. 2-1).

Bei den stoffschlüssigen Verbindungen werden die Fügepartner durch molekulare Kräfte zusammengehalten. Dabei kann ein Verbindungsmaterial, wie zum Beispiel Lot, eingesetzt werden, das sich durch Diffusionsprozesse mit den Fügepartnern verbindet. Die Schweißverbindung der Drahtbondungen benötigt hingegen kein Verbindungsmedium, da sich der Drahtwerkstoff durch spezielle Ultraschallschweißverfahren der zu fügenden Oberfläche bis in den Wirkungsbereich der Van-der-Waals-Kräfte annähert und durch Diffusionsprozesse eine stoffschlüssige Verbindung mit dieser eingeht.

2.1 Verbindungstechnologien

Die unterschiedlichen Halbzeuge eines Leistungsmoduls müssen durch geeignete Verfahren miteinander gefügt werden. Neben den guten mechanischen Eigenschaften einer Verbindung sind besonders in der Leistungselektronik die thermischen und elektrischen Leiteigenschaften von Bedeutung. Bei den großflächigen Verbindungen zwischen dem Halbleiter und dem Substrat oder dem Substrat und der Bodenplatte sind Fügwerkstoffe erforderlich, die den Anforderungen standhalten. Dies leisten in herkömmlichen Leistungsmodulen Lotverbindungen.

Es gibt jedoch auch stoffschlüssige Verbindungen, die ohne ein Medium erzeugt werden können. Dazu zählt das Ultraschallschweißverfahren von Al-Drähten, die für die elektrische Kontaktierung direkt auf die relevanten Oberflächen geschweißt werden.

2.1.1 Lotverbindungen

Lotprozesse werden seit vielen Jahren in der Leistungselektronik genutzt und durch hochentwickelte Anlagen in vollautomatisierten Produktionsstätten angewandt. Als Lotwerkstoffe steht eine Vielzahl unterschiedlicher Legierungen zur Verfügung. Eine eutektische Legierung zeigt ein Schmelzverhalten wie ein Reinstoff, schmilzt bzw. erstarrt also bei einer definierten Temperatur. Infolge langjähriger Optimierungen sind Lotwerkstoffe aus mehreren Legierungsbestandteilen verfügbar [1]. Diese sollen sowohl die Prozessierbarkeit als auch das Zeitstandsverhalten der Verbindungsschicht positiv beeinflussen [2]. Bei gelöteten Modulen werden größtenteils Zinn-Silber- oder auch Zinn-Silber-Kupfer-Lote genutzt.

Darüber hinaus sind Flussmittel bei den meisten Lötprozessen erforderlich, die reduzierend auf die Oberflächenoxide der Verbindungspartner wirken. Diese Fähigkeit basiert auf einer chemischen Reaktion, die bei einer flussmittelspezifischen Aktivierungsenergie abläuft. Außerdem wird die Oberflächenspannung des Lotmaterials herabge-

setzt, sodass dieses im flüssigen Zustand die gewünschten Oberflächen vollflächig benetzt, was für eine qualitativ hochwertige Verbindung erforderlich ist.

Ein gängiges Lotverfahren in der Leistungselektronik ist der Vakuum-Lötprozess, bei dem das vorpositionierte Verbindungsmaterial im Ofen wiedererschmilzt und die Fügepartner verbindet [3]. In der Leistungselektronik werden als Verbindungsmaterial zwischen Chip und Substrat Lotpasten verwendet, die hauptsächlich im Schablonendruckverfahren auf das Substrat aufgetragen werden. Im Anschluss werden die Halbleiter auf die gedruckten Lotpastenvolumen gesetzt, die auf der pastösen Mischung aus Metallpulver und Flussmittel erschütterungsresistent fixiert sind. Bei großflächigen Verbindungen zwischen dem Substrat und der Bodenplatte werden Lotformteile verwendet. Diese sogenannten Preforms werden zwischen die Fügepartner positioniert und mit Hilfe von Vorrichtungen fixiert. Die voll bestückten Substrate bzw. Bodenplatten werden nun in speziellen Öfen auf die Löttemperatur erhitzt, unter der sich das Lotmaterial vollständig verflüssigt. Da unter normaler Atmosphäre die abdampfende Organik der Lotpaste zu Gaseinschlüssen führen würde, findet der Lotprozess für hochzuverlässige Verbindungen oftmals in Vakuumkammern statt, wie es zum Beispiel von der Firma PINK Vakuumtechnik GmbH 2005 publiziert wurde [4].

Nach dem Löt- ist in den meisten Fällen ein Waschprozess erforderlich, um die funktionalen Oberflächen der Halbzeuge von den Zersetzungsprodukten der Flussmittel zu reinigen. Mit speziell abgestimmten wasser- oder lösemittelbasierenden Medien werden die Bauteiloberflächen anschließend wieder gereinigt. Dabei werden in komplexen Waschstraßen sowohl die Flussmittelrückstände als auch mögliche weitere Kontaminationen von den Oberflächen entfernt, denn:

„..., even the slightest contaminants remaining on the surface impede the reliability required in these critical and highly sensitive applications“. (Thomas Kucharek) [5]

2.1.2 Drahtbondverbindung

Eine Drahtbondverbindung dient zum elektrischen Kontaktieren von zwei getrennten Potentialflächen. Es gibt dabei viele variierende Verfahren, deren Einsatz auf unterschiedliche Anwendungsfelder ausgelegt ist. Drahtverbindungen in der Sensorik oder in mikroelektronischen Anwendungen, wie sie eingehend in [6] beschrieben werden, basieren auf dünnen Drähten.

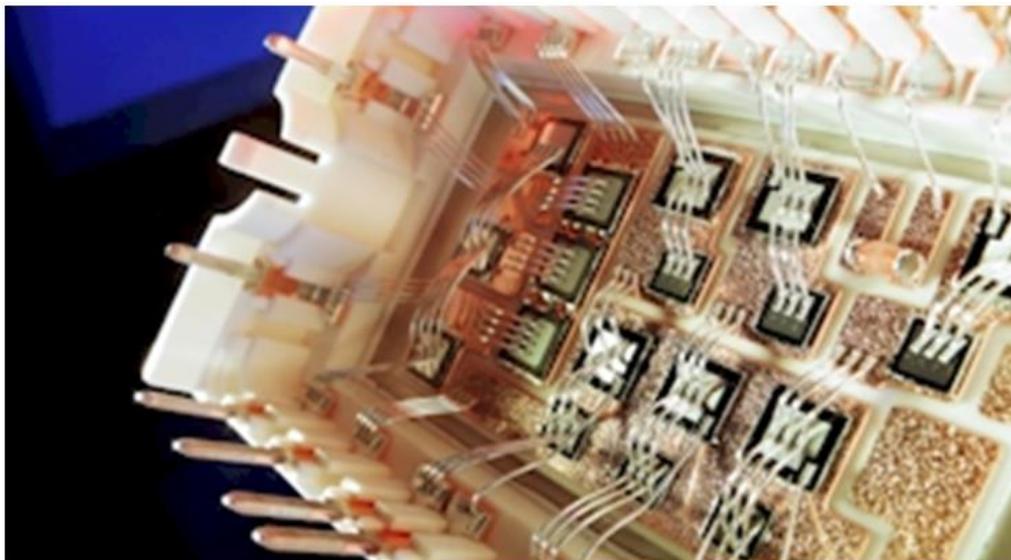
In der Leistungselektronik sind hingegen hohe Ströme und somit stärkere Drahtdurchmesser erforderlich, weshalb der Begriff „Dickdrahtbonden“ (Drahtdurchmesser > 100

µm) eingeführt wurde. Ein Al-Draht wird dabei durch speziell geformte Bondtools auf die zu bondende Oberfläche geführt und durch das Einwirken von Ultraschall- und Kraftprofilen stoffschlüssig mit dieser verschweißt. Der bis zu 500µm starke Aluminiumdraht profitiert dabei im Schweißprozess von seiner porösen Oxidschicht, die eine schleifende Wirkung auf die zu bondende Oberfläche ausübt. Ausführliche Beschreibungen zu der Verbindungsbildung beim Drahtbonden wurden sowohl von Lang [7] als auch Osterwald [8] veröffentlicht.

Die Schwingamplitude des Bondtools wird durch einen Formschluss (groov) an den Al-Draht übertragen, der dadurch Unebenheiten ebnet und die Verbindungswerkstoffe bis in den Wirkungsbereich der Van-der-Waals-Kräfte zusammenführt. Durch intermetallische Diffusionsvorgänge in das Volumen entsteht ohne ein weiteres Medium eine stoffschlüssige Verbindung der Fügepartner.

Da ein einzelner Draht üblicherweise den geforderten Strom alleine nicht tragen kann, werden mehrere Drähte parallel gebondet. Entsprechend der Drahtanzahl lässt sich also jedes Potential mit dem jeweils erforderlichen Gesamtquerschnitt kontaktieren. Aus ökonomischer Sicht ist das Parallelschalten der Einzeldrähte vorteilhaft, da mit einem optimierten Prozess viele unterschiedliche Potentiale (variierender Stromdichte) mit entsprechender Drahtzahl gebondet werden können.

Darüber hinaus bietet das Drahtbonden ein hohes Maß an Flexibilität, da sowohl in der Ebene als auch in der Senkrechten unterschiedliche Positionen miteinander verbunden werden können. Dabei ist es auch möglich, andere Strompfade zu überbrücken.



Quelle: <http://www.danfoss.com/businessareas/silicon+power/home.htm> Juli 2014

Abb. 2-2: Aluminiumdrähte im Rahmenmodul

Auf dem Markt sind viele Maschinen, Werkzeuge und Prüfgeräte für das Al-Dickdrahtbonden verfügbar, da diese Technologie in der Leistungselektronik weltweit angewendet wird.

2.2 Prüfverfahren in der Verbindungstechnologie

Für die Prüfung der Anbindungsqualität gibt es je nach Verbindungsart spezifische Verfahren. Deren Informationen können teils als messbare physikalische Größen erfasst, teils aufgrund charakteristischer Befunde evaluiert werden. Man kann die Testmethoden in zerstörende und nichtzerstörende Testverfahren unterteilen.

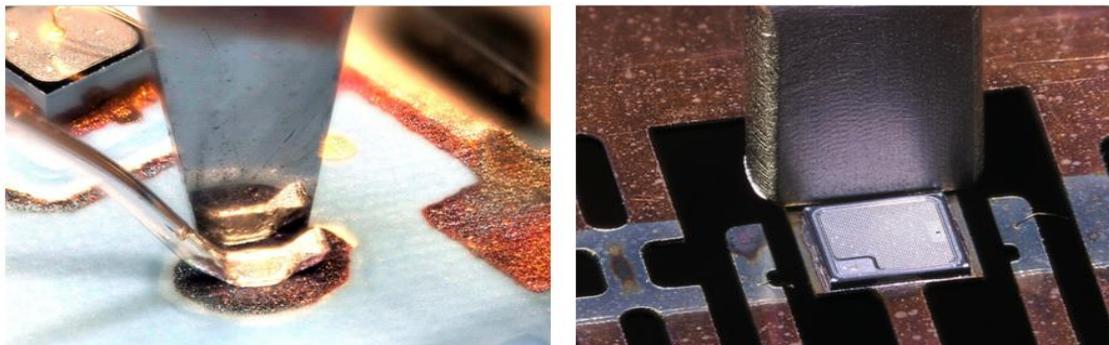
2.2.1 Zerstörende Prüfverfahren

Die zerstörenden Prüfverfahren können für eine tiefe Analyse der Aufbau- und Verbindungstechnik genutzt werden und finden speziell in der Grundlagenforschung vielfältigen Einsatz. Dabei können zum Beispiel metallographische Untersuchungen an Querschliffen durchgeführt werden, um Verbindungsmaterialien hinsichtlich der metallischen Phasen, Poren oder weiteren Eigenschaften zu analysieren.

Zwei der gängigsten zerstörenden Prüfverfahren sind der Scher- und der Pulltest, für deren Durchführung viele Prüfmaschinen am Markt verfügbar sind.

2.2.1.1 Schertest

Beim Schertest wird der Prüfling durch einen massiven Meißel parallel zur Verbindungsfläche belastet. Das wird durch eine sehr langsame Relativbewegung zwischen dem Schermeißel und dem Prüfling realisiert, die zu einem kontinuierlichen Anstieg der Scherkraft führt, bis sich der Bonddraht bzw. das Bauteil (siehe Abb. 2-3) von der Oberfläche löst.



Quelle: www.xyztec.com/condor_sigma/ Nov. 2014

Abb. 2-3: Schertest (links: Schertest am Bondfuß, rechts: Schertest Chipverbindung)

Die Abb. 2-3 zeigt unterschiedliche Prüflinge, deren Ergebnisse nach der Prüfung in einem Kraft-Weg-Diagramm ausgewertet werden können. Neben der quantitativen Aussage über die maximal erreichte Scherkraft können auch qualitative Informationen aus den Schadensbildern ermittelt werden.

2.2.1.2 Pulltest

Der Pulltest ist beim Drahtbonds gut geeignet, um die Zugbelastbarkeit der Bonddrahtverbindungen zu prüfen. Dabei wird ein Pull-Haken, wie er in der Abb. 2-4 zu sehen ist, genutzt, um durch einen Formschluss die senkrecht wirkende Kraft beim Verfahren der z-Achse zu erfassen. Sollte die Verschweißung eines Drahtes auf der Oberfläche von ungenügender Qualität sein, so wäre ein Abheben der Verbindung zu erwarten.

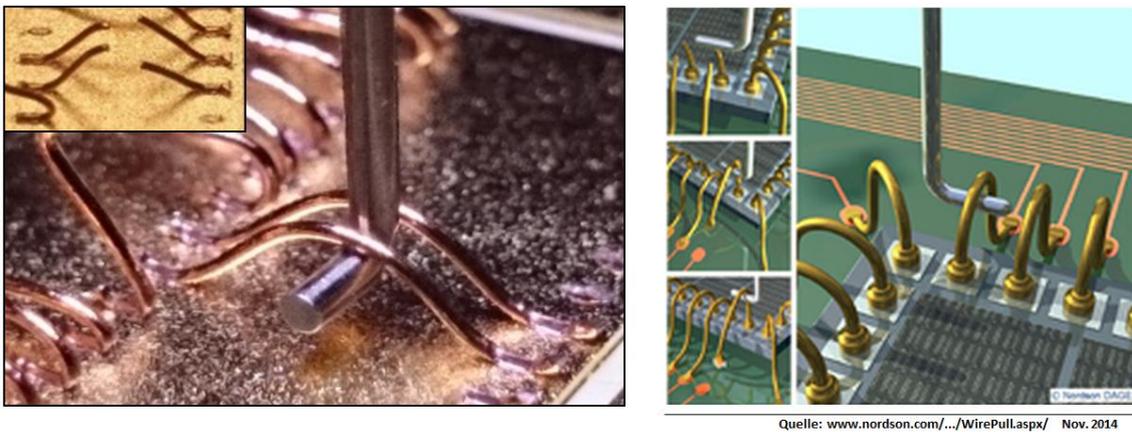


Abb. 2-4: Pulltests beim Drahtbonds (links: wedge-wedge Bond, rechts: ball-wedge Bond)

Wie in der Abb. 2-4 (linkes Bild) zu erkennen ist, entsteht bei den in der Leistungselektronik typischen Dickdrähten oftmals ein Verbindungsbruch im Draht-Loop, da die Zugfestigkeit des Drahtwerkstoffs bei guten Verbindungen geringer ist als die Anbindungskraft der verschweißten Bondfüße.

2.2.2 Nichtzerstörende Prüfverfahren

Bei vielen sicherheitsrelevanten oder kostenintensiven Anwendungsfeldern ist es erforderlich, die leistungselektronischen Aufbauten zerstörungsfrei zu prüfen und somit vordefinierte Qualitätskriterien nachweisen zu können. Neben den statischen und dynamischen Funktionstests der Baugruppe, die am Ende der Fertigung stattfinden, werden besonders die flächigen Verbindungen bereits in der Serienfertigung einem zerstörungsfreien Qualitätstest unterzogen. Das ist erforderlich, da schon kleine An-

bindungsfehler in den Verbindungsschichten, zum Beispiel Lunker, das Zeitstandverhalten beeinflussen und zu Frühausfällen führen können.

2.2.2.1 Röntgenmikroskopie

Bei dieser Untersuchung werden Materialien durch Röntgenstrahlen in der sogenannten X-Ray-Analyse durchleuchtet. Moderne Anlagen können dabei ein dreidimensionales Bild einer durchleuchteten Probe liefern, wie man es aus der Computertomographie in der Medizintechnik kennt. In der Forschung findet man viele Untersuchungsergebnisse, in denen die inneren Strukturen von gehäusten Baugruppen dargestellt werden. In der leistungselektronischen Fertigung werden besonders die Verbindungsebenen senkrecht durchstrahlt, um Lunker oder Fehlstellen in Lotverbindungen zu erkennen.

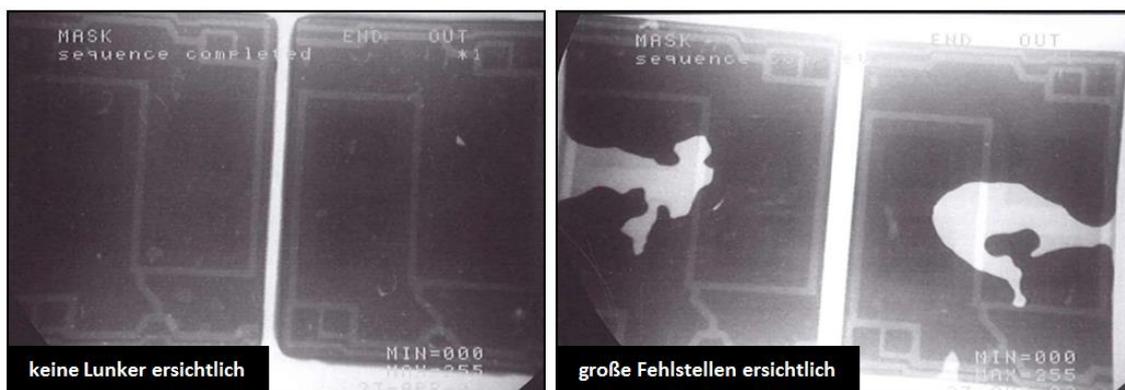


Abb. 2-5: Lotverbindung zwischen DCB und Bodenplatte im X-Ray

Wie in Abb. 2-5 dargestellt, ist der Unterschied zwischen einer homogenen Lotverbindung und signifikanten Dichteunterschieden im Volumen deutlich zu erkennen. Die rechten Bilder zeigen deutliche Fehlstellen, die vermutlich auf ein Benetzungsproblem der Oberflächen im Lotprozess zurückzuführen sind.

2.2.2.2 Akustische Mikroskopie

Bei der akustischen Mikroskopie werden Ultraschallfrequenzen in den Prüfling eingekoppelt, um Bilder aus dem Inneren eines Objektes zu erzeugen. Dabei wird die Laufzeitinformation der reflektierten Schallwellen erfasst und zu einem Bild zusammengesetzt. Die „Scanning Acoustic Microscopy“ (SAM, deutsch „Raster-Ultraschallmikroskopie“) vermag dank der hohen Rasterauflösung auch kleine Fehlstellen zu detektieren, da sie sehr sensitiv auf Grenzflächen zwischen fester bzw. flüssiger

Materie und Gas reagiert. Feine Haarrisse in Materialien oder Anbindungsfehler aufgrund kontaminierter Oberflächen können dadurch ermittelt werden.

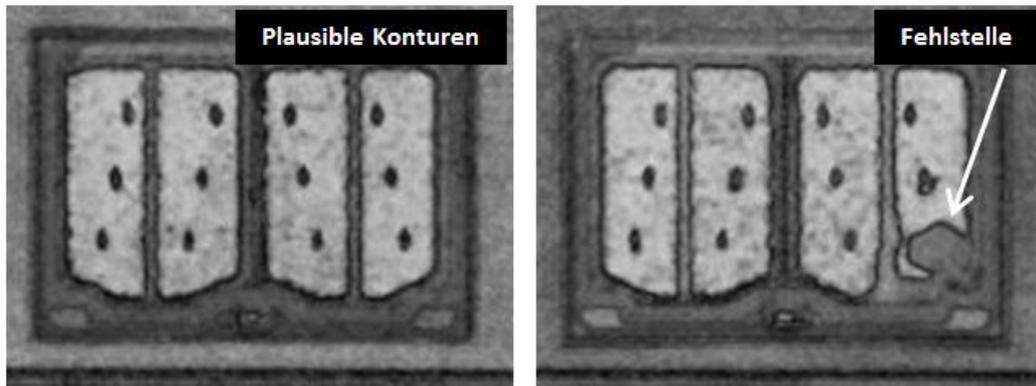


Abb. 2-6: SAM Bild vom Halbleiter mit Bondstellen (links: OK, rechts: Fehlstelle)

Wie in der Abb. 2-6 dargestellt, werden die Befunde gerne mit Referenzergebnissen verglichen, um Veränderungen der erwarteten Konturen zu erkennen.

2.2.2.3 Thermographie

Bei der Thermographie wird die Infrarotstrahlung einer Oberfläche mit Hilfe einer Wärmebildkamera erfasst. Dabei entspricht die Intensität der Infrarotstrahlung der partiellen Oberflächentemperatur. Abhängig von der Pixelzahl lassen sich dann unterschiedlich große Bilder darstellen, deren Farbverlauf die Oberflächentemperaturen repräsentieren.

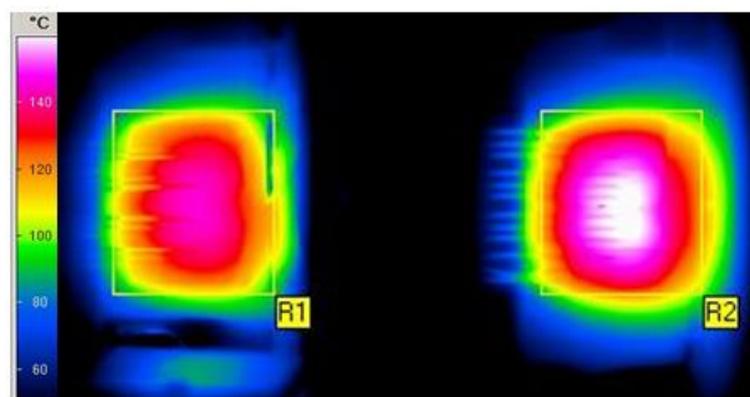


Abb. 2-7: Temperaturerfassung mit der Wärmebildkamera

Um die absoluten Temperaturen auf der Oberfläche der Prüflinge mit Hilfe einer Infrarotkamera messen zu können, ist ein spezieller Lack erforderlich, der für einen konstanten Emissionsgrad über die gesamte Messoberfläche sorgt. Dadurch kann der Messfehler bei dem thermographischen Verfahren gering gehalten werden.

2.3 Aufbaukonzepte konventioneller Leistungsmodule

Über viele Jahre hinweg haben sich geeignete Bauformen, Materialien und Verbindungstechnologien durchgesetzt, für deren Aufbau man auf automatisiertes Fertigungsequipment und bewährte Prozessführungen zurückgreifen kann.

Die Fertigung der Module startet in der Regel mit einem Lotpastendruck auf den Substraten, die im Anschluss mit einem Halbleiter bestückt und im Lötprozess fest miteinander verbunden werden. Danach durchläuft das Halbzeug einen Waschprozess, damit die Oberflächen von Flussmittelrückständen befreit werden (siehe Kapitel 2.1.1). Die so vorbereiteten Oberflächen können jetzt im Al-Drahtbondprozess auf Substratebene kontaktiert werden, das heißt, es werden die Halbleiteroberflächen mit dem Substratlayout kontaktiert (siehe Kapitel 2.1.2).

Das resultierende Halbzeug ist eine elektrisch funktionstüchtige Topologie, die ein Teil der Gesamtschaltung im übergeordneten Modul darstellen kann. Diese Eigenschaft macht man sich gerne in der Fertigung zunutze, um Fehlteile (Substrate) durch elektrische Tests zu identifizieren. Darüber hinaus werden weitere nichtzerstörende Prüfungen angewendet, zum Beispiel X-Ray (siehe Kapitel 2.2.2.1), um letztlich alle fehlerbehafteten Substrate zu einem frühen Zeitpunkt aus der Fertigungslinie ausschleusen zu können.

Substrate, die die Tests bestanden haben, werden jetzt in die übergeordneten Baugruppen aufgenommen, um Teil eines fertigen Leistungsmoduls zu werden. Dabei gibt es im Wesentlichen zwei Modulformen in der Leistungselektronik, die sich am Markt bis zu einem Spannungsbereich von 1700V durchgesetzt haben.

2.3.1 Leistungselektronisches Rahmenmodul

Eine zentrale Bauform der Leistungselektronik ist das Rahmenmodul, das unterseitig mit einer Bodenplatte abschließt.

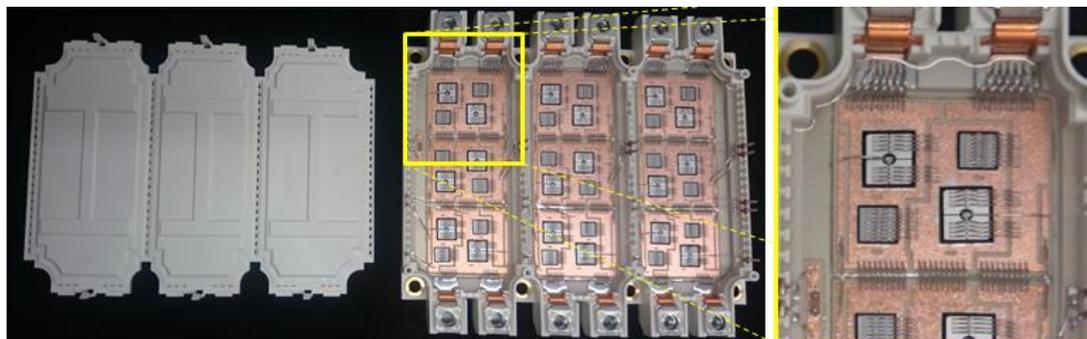


Abb. 2-8: geöffnetes Rahmenmodul Quelle: Danfoss

Wie in der Abb. 2-8 dargestellt, werden die halbleiterbestückten Keramiksubstrate durch eine Lotverbindung mit einer Cu-Bodenplatte verbunden, die dem Modul sowohl Stabilität verleiht als auch eine definierte Anbindungsfläche für den Kühler darstellt (siehe auch Abb. 2-1). Die Substrate verfügen über eine Potentialtrennung, um die Unterseite des Moduls elektrisch von dem Schaltungslayout zu entkoppeln.

Der Einblick in das Modul (Abb. 2-8) zeigt die Strategie des Herstellers, auf die Skalierbarkeit sowohl der Halbzeuge als auch der Prozesse zu setzen, um die Entwicklungs- und Fertigungskosten zu reduzieren. Entsprechend der Modulleistung werden die Untersysteme (Substrate) in erforderlicher Stückzahl parallel geschaltet, um den Nennstrom des Moduls tragen zu können.

Da die Drähte keinen isolierenden Mantel tragen, werden Halbleitermodule mit einem flüssigen Silikon ausgegossen, das in einem Temperaturprozess zu einem formstabilen Gelee erstarrt. Dieser Prozess findet unter Vakuum statt, damit das Risiko eingeschlossener Luftblasen minimiert wird. Umfangreiche Untersuchungen zu der Spannungsfestigkeit der Vergussmassen wurden von Herrn Finis durchgeführt [9].

Trotz unterschiedlicher Modulhersteller sind die Baugruppen in den Dimensionen ähnlich sowie den funktionalen thermischen und auch elektrischen Schnittstellen oftmals gleich, damit der Kunde am Markt frei wählen kann bzw. eine „Second Source“ findet.

Medium Power Modules



High Power Modules

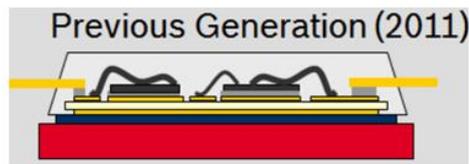


Quelle: Infineon Catalog 2014

Abb. 2-9: Rahmenmodule unterschiedlicher Leistungsklassen von Infineon

2.3.2 Moldmodul

Eine Alternative zu den Rahmenmodulen stellen die Moldmodule dar. Ähnlich wie bei den diskreten Transistorbauelementen der „TO“- Klasse werden die Substrate dabei von einer aushärtenden Moldmasse umgossen, die dem Modul mechanische Stabilität verleiht und es gegen mechanische Einwirkungen schützt.



Das Modul ist über ein TIM-Layer mit dem Kühler (hier in rot) verbunden

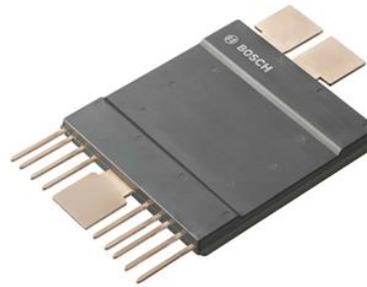


Abb. 2-10: Moldmodul von Bosch

Quelle: [10]

Wie in der Abbildung Abb. 2-10 zu sehen ist, handelt es sich um eine sehr kompakte Bauart, die ohne eine Bodenplatte direkt über Wärmeleitpaste (gängige Bezeichnung für Wärmeleitpaste: Thermal-Interface-Material = TIM) mit dem Kühler verbunden werden kann. Besonders in der Spannungsklasse der Elektromobilität (Sperrspannung um 650V) sind Moldmodule ähnlicher Bauformen gefragt.

2.4 Thermomechanische Eigenschaften

Das Fügen unterschiedlicher Materialien verursacht thermomechanische Spannungen, die sowohl auf variierende Ausdehnungskoeffizienten als auch inhomogene Temperaturverteilungen zurückzuführen sind. Die Wirkung dieser Spannung wird zum Beispiel in einem Bimetall bei wechselnden Umgebungstemperaturen in Form von unterschiedlich starken Verwölbungen sichtbar. Bei leistungselektronischen Aufbauten ist man im Wesentlichen auf Siliziumhalbleiter angewiesen, die über einen sehr geringen Ausdehnungskoeffizienten von etwa 2,6 ppm/K verfügen. Ähnliches gilt für die elektrischen Isolationsschichten aus Keramik (zum Beispiel Al_2O_3 mit etwa 7 ppm/K). Für die stromtragenden Pfade hingegen wird auf Cu oder Al zurückgegriffen, deren Ausdehnungskoeffizienten weit höher (Cu = 16,8 ppm/K, Al = 23,8 ppm/K) liegen. Da sowohl für die thermischen als auch elektrischen Leiteigenschaften gute Anbindungen zwischen den Komponenten erforderlich sind, entstehen durch Temperaturunterschiede hohe mechanische Spannungen im System.

2.4.1 Temperaturgradienten und Wärmespreizung

Der typische leistungselektronische Aufbau wird auch oftmals als „thermischer Stapel“ beschrieben, bei dem die Sperrschichtverluste zu einer Wärmeentwicklung der obersten Schicht des Halbleiters führen. Diese Wärmeenergie wird dann senkrecht durch die unterschiedlichen Materialebenen (siehe auch Abb. 2-1) an den Kühler übertragen.

Abhängig von der Dimensionierung und der spezifischen Wärmeleitfähigkeit der einzelnen Schichten entsteht im eingeschwungenen Zustand ein senkrechter Temperaturgradient zwischen der Temperaturquelle (Halbleiter) und der -Senke (Kühler), wie er in der Abb. 2-11 (rechts) dargestellt ist.

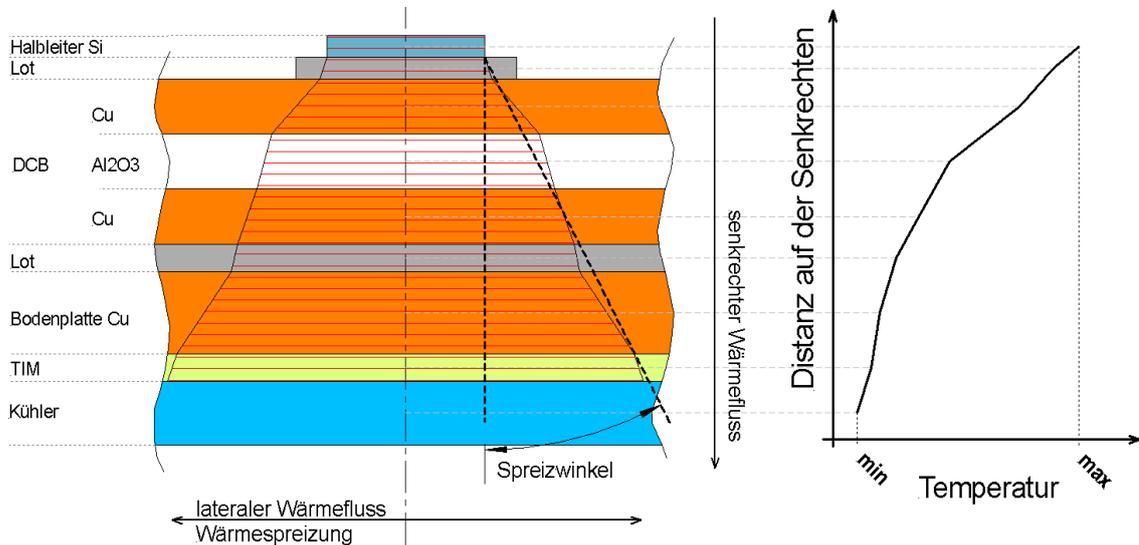


Abb. 2-11: Spreizeffekte und senkrechter Temperaturgradient im thermischen Stapel.

Die Wärmeenergie spreizt sich dabei auch in lateraler Richtung (siehe Abb. 2-11 links), wodurch sich die effektiven Wärmeübergangsflächen in der Senkrechten erhöhen. Diese Spreizeffekte können besonders vor einer schlecht leitenden Ebene durch eine hinreichende Schichtstärke in dem übergeordneten Material-Layer genutzt werden. Ein gutes Beispiel für diese Spreizeffekte sieht man zum Beispiel über der TIM-Schicht (Wärmeleitpaste) in der massiven Cu-Bodenplatte.

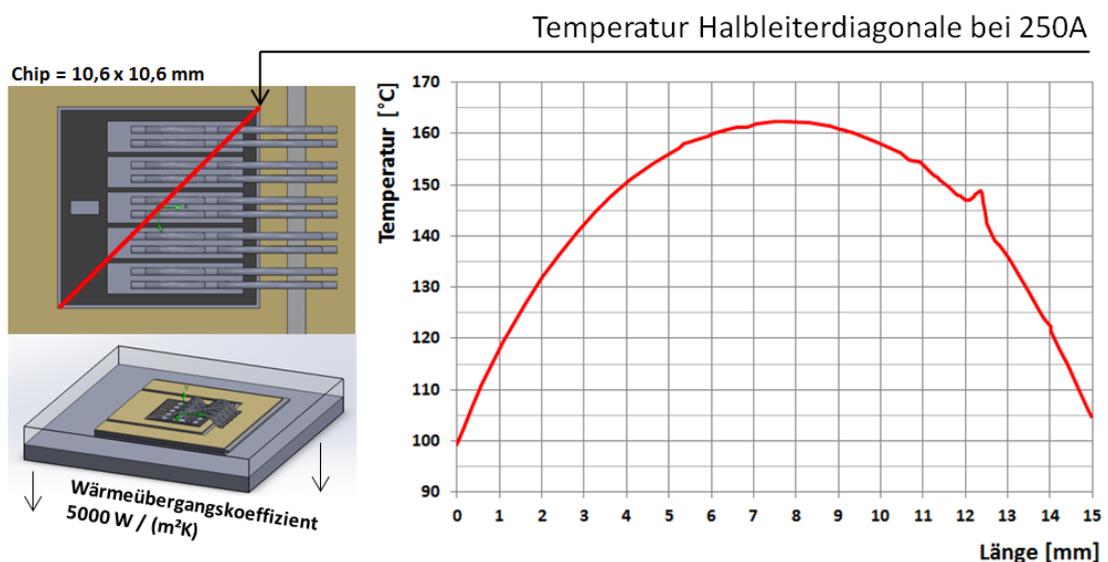


Abb. 2-12: Temperaturgradient in der Halbleiterdiagonalen.

Darüber hinaus entstehen auch erhebliche Temperaturgradienten in lateraler Ebene. Auf der Halbleiteroberfläche können Temperaturunterschiede von über 50°C entstehen, wie es in der Abb. 2-12 dargestellt ist. Das Diagramm zeigt den simulierten Temperaturverlauf über die Diagonalen des Halbleiters im stationären Zustand.

Auch in den inneren Materialebenen findet man einen hohen Temperaturgradienten, der sich rotationssymmetrisch vom Mittelpunkt des Halbleiters ausbreitet.

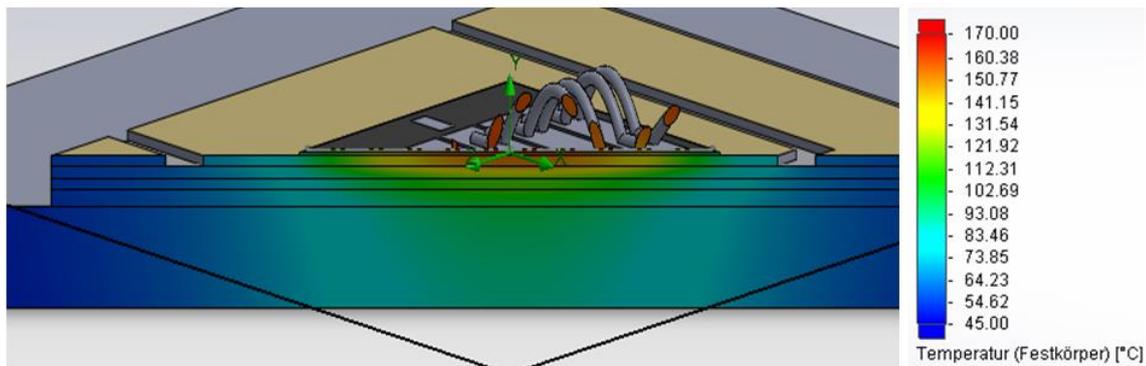


Abb. 2-13: Temperaturausbereitung im Inneren der Baugruppe. (Simulationsparameter wie in Abb. 2-12)

Diese Temperaturverteilung hängt stark von den verwendeten Materialien, der Geometrie und dem Wärmeübergangskoeffizienten zum Kühler ab.

2.4.2 Thermische Impedanz

Die Thermische Impedanz des leistungselektronischen Stapels beschreibt das zeitliche Verhalten der Wärmeausbreitung. Analog zu elektrischen Spannungsverläufen lassen sich die Temperaturen in einem thermoelektrischen Ersatzschaltbild berechnen. Dafür gelten folgende Zusammenhänge:

Tabelle 1: Korrespondierende physikalische Größen. Thermisch – Elektrisch

Thermisch	Elektrisch
Temperatur T in [K]	Spannung U in [V]
Wärmestrom P in [W]	Strom I in [A]
Wärmewiderstand R_{th} in [K/W]	Ohmscher Widerstand R in [V/A]
Wärmekapazität C_{th} in [Ws/K]	Kapazität in [As/V]

Die thermischen Kapazitäten der einzelnen Materialebenen haben dabei unterschiedliche Zeitkonstanten, die proportional zum thermischen Widerstand und der Wärmekapazität sind.

$$\tau = R \cdot C$$

(1)

Über den Querschnitt eines thermischen Stapels lässt sich somit ein eindimensionales RC-Netzwerk (Cauer Modell) bilden, das die physikalischen Zusammenhänge zu den Materialschichten beschreibt.

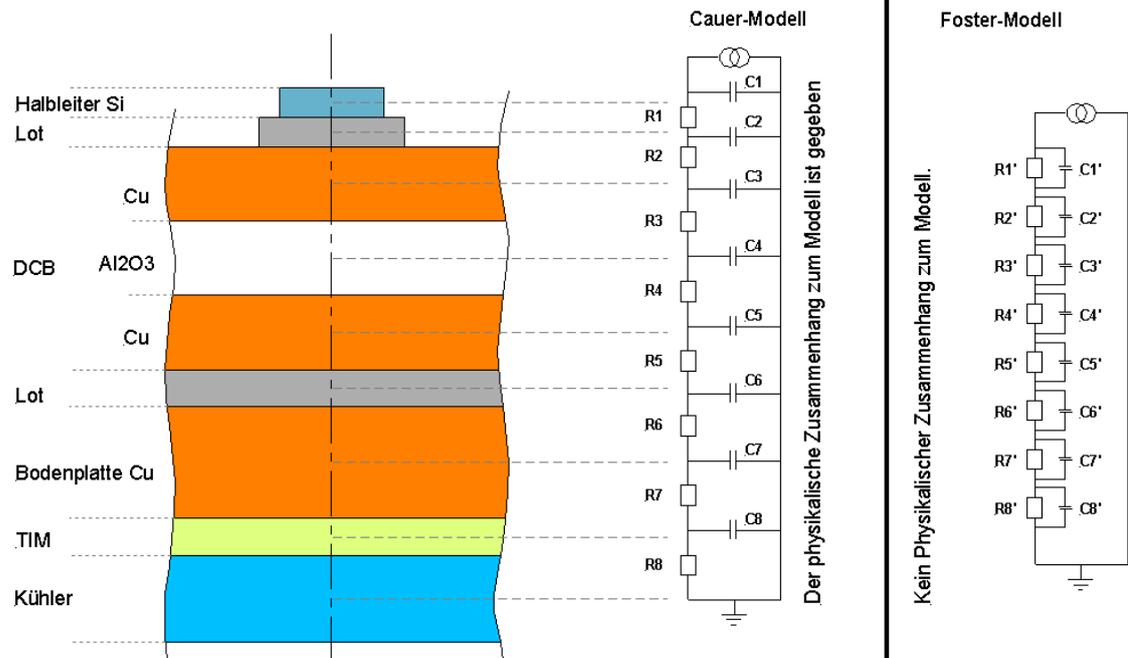


Abb. 2-14: Thermischer Stapel mit Bezug zum Cauer-Modell

Mit diesem Netzwerk kann man auch das dynamische Verhalten bei variierender Verlustleistung im thermischen Stapel berechnen. So lässt sich zum Beispiel die Sprungantwort (Aufheizkurve) eines Systems beim Einschalten der Verlustleistung beschreiben. Bei der Verwendung des eindimensionalen Netzwerkes wird der Einfluss der Wärmespreizung unter der vereinfachten Annahme berücksichtigt, dass sich ein Spreizwinkel (siehe Abb. 2-11 „Spreizwinkel“) von z.B. 45° einstellt.

Der von der Zeit abhängige thermische Widerstand R_{th} wird „thermische Impedanz“ Z_{th} genannt und lässt sich wie folgt berechnen:

$$Z_{th\,JC}(t) = \frac{T_J(t) - T_C(t)}{P(t)} \quad (2)$$

Der Index JC bedeutet dabei, dass der Widerstand zwischen der Sperrschicht (Junktion = J) und der Bodenplattenunterseite (Case = C) gemeint ist.

Das in der Abb. 2-14 gezeigte Foster-Modell beschreibt das gleiche Systemverhalten, allerdings fehlt die örtliche Abhängigkeit vom physikalischen System. Die R_{th} - und C_{th} -

Glieder dieses Netzwerkes findet man häufig in Datenblättern zu leistungselektronischen Systemen, da diese aus der Sprungantwort eines Systems abgeleitet werden können. Durch eine Transformation, wie sie zum Beispiel in [11] beschrieben wird, kann man das Foster-Modell in ein Cauer-Modell umrechnen.

2.4.3 Kriecheffekte im Verbindungsmedium

Das Kriechen bezeichnet die zeit- und temperaturabhängige plastische Verformung unter Last. Sobald die Temperatur über eine werkstoffspezifische Übergangstemperatur ansteigt, bewirken äußere Kräfte eine Änderung der Stoffeigenschaften, die auf zeitabhängige Mechanismen im Gefüge zurückzuführen sind. [12]

- Versetzungskriechen
- Diffusionskriechen
- Korngrenzgleiten

Das Kriechverhalten der Werkstoffe kann über die homologe Temperatur abgeschätzt werden.

$$T_{homolog} = \frac{T [K]}{T_m [K]} \quad (3)$$

T_m ist dabei die Schmelztemperatur des Werkstoffes und T die Betriebstemperatur. Wenn der Wert größer als 0,3 – 0,4 ist, muss man von einer Kriechverformung im Werkstoff ausgehen. Hochschmelzende Werkstoffe ermöglichen dank ihrer hohen Bindungsenergie entsprechend höhere Betriebstemperaturen.

2.4.4 Thermomechanische Degradationsprozesse

Die Verbindung zwischen Chip und Substrat ist schnellen Temperaturwechseln ausgesetzt, die auf unterschiedlichen Schaltzuständen des Halbleiters basieren. Der Lotwerkstoff erfährt dabei sowohl hohe Temperaturen (etwa 150°C entsprechend der maximalen Sperrschichttemperatur im Halbleiter) als auch starke Temperaturgradienten. Diese thermomechanischen Spannungen führen zu plastischen Verformungen im Lotgefüge, wodurch sich der Werkstoff verfestigt und Haarrisse am Interface oder an den metallischen Phasen entstehen. Umfangreiche Untersuchungen zu den Schädigungsmechanismen in Lötverbindungen wurden z.B. von Poech [2] veröffentlicht.

„Aus dieser Untersuchung ist zu erkennen, daß natürliche Alterungsvorgänge wie Vergrößerung, Rekristallisation und Schichtdickenwachstum nicht nur von der Zusammen-

setzung der Lotlegierung abhängen, sondern auch von den Metallisierungen der verlöteten Partner beeinflusst werden. Die im Lötprozess gefertigten Materialkombinationen bestimmen insgesamt das Verhalten der Lötverbindung und beeinflussen insbesondere die Änderung ihrer Eigenschaften mit Temperatur, Zeit und mechanischer Belastung in komplexer Weise.“ [2]

Betrachtet man die homologe Temperatur einer SnAg3,5-Lotverbindung zwischen Halbleiter und Substrat, dann ist schon bei einer Betriebstemperatur von 125°C mit erheblichen Kriecheffekten zu rechnen:

$$T_{homolog} = \frac{398 \text{ K}}{494 \text{ K}} = 0,81 \quad (4)$$

Die Lotverbindung zwischen dem Substrat und der Bodenplatte altert unter den gleichen physikalischen Abläufen, allerdings sind die Interaktionen und somit die thermo-mechanischen Belastungen anders. Die Ausdehnung der massiven Cu-Bodenplatte ist größer als die des DCB-Substrates, wodurch hohe Scherspannungen im Lotwerkstoff entstehen.

Auch das DCB-Substrat ist begrenzt haltbar gegen thermische Wechselbelastungen, da die keramische Isolationsschicht (im Regelfall aus Aluminiumoxid - Al_2O_3 ~ 7 ppm/K) in einem „Sandwich-Aufbau“ stoffschlüssig mit zwei Cu-Schichten verbunden ist.

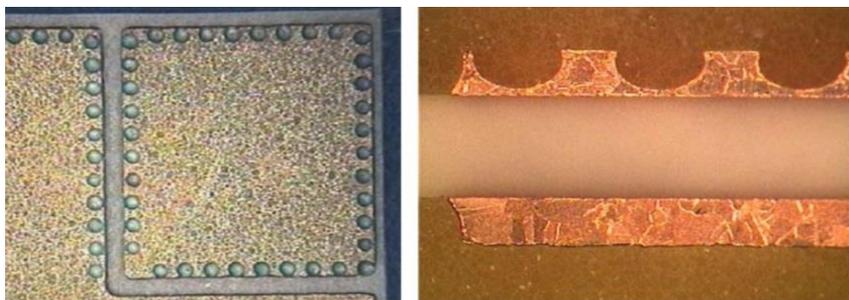
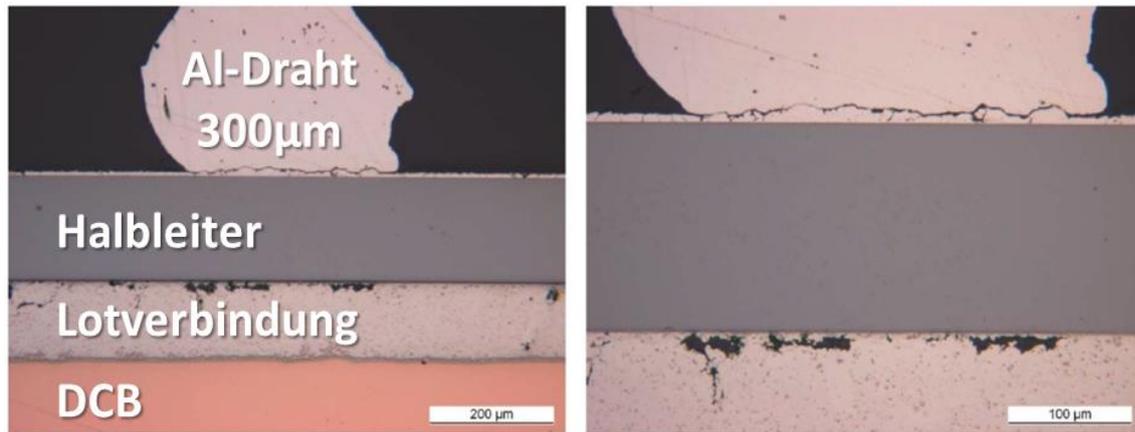


Abb. 2-15: DCB- Substrat mit Dimples (links: Aufsicht rechts: Schliffbild)

Quelle: [13]

Die Schichtstärken der unterschiedlichen Materialebenen müssen dabei aufeinander abgestimmt sein, um die Spannungen über die Elastizität der Werkstoffe abzubauen. Die Einführung der Dimples, wie sie im Schliffbild Abb. 2-15 zu sehen sind, reduziert die Spannungen im Randbereich, da dadurch die effektiv wirkende Schichtstärke des Kupfers herabgesetzt wird. Diese Maßnahme kann die Temperaturwechselbeständigkeit von Substraten um den Faktor Zehn anheben, wie es von dem Substrathersteller KCC Corporation publiziert wird [14].

Besonders auch die typische Al-Drahtkontaktierung der Halbleiter ermüdet unter thermischen Wechselbelastungen. Der Al-Draht ist mit der sehr dünnen Metallisierung des Halbleiters verbunden und somit der thermischen Quelle sehr nahe. Ein großer Unterschied im Ausdehnungskoeffizienten zwischen Al = 23,8 ppm/K und Si = 2,6 ppm/K führt besonders bei den hohen Temperaturen und steilen Temperaturgradienten eines Halbleiters zu Rekristallisationseffekten in der Drahtbondverschweißung.



Projekt: InnoCluster 2012

Abb. 2-16: Schliffbild des Halbleiters nach einer Anzahl aktiver Lastwechsel.

Wie in Abb. 2-16 zu sehen ist, führen die Belastungen zu Haarrissen in der Al-Drahtverschweißung, die erfahrungsgemäß den begrenzenden Faktor der Lebenszeit eines Leistungsmoduls darstellen.

Die Degradationsprozesse im Aufbau laufen zeitlich nicht linear, da es eine Wechselwirkung zwischen den Schadensmechanismen gibt. Betrachtet man die zerrüttete Lotverbindung unter dem Halbleiter in dem rechten Bild Abb. 2-16, erscheint es plausibel, dass der senkrechte Wärmetransport zum Kühler durch die Haarrisse negativ beeinflusst wird. Das führt zu erhöhten Halbleitertemperaturen, die wiederum das Risswachstum in den verschweißten Al-Drähten beschleunigt. Da die Haarrisse im Aluminiumdraht den angebundenen Querschnitt zum Halbleiter einschnüren, steigen auch die elektrischen Durchlassverluste des Leistungsmoduls, wodurch die kritischen Temperaturen weiter ansteigen.

3 Zuverlässigkeit

Die Zuverlässigkeit eines Systems ist nach Birolini [15] wie folgt definiert:

„Zuverlässigkeit ist die Fähigkeit eines Systems, während einer vorgegebenen Zeitdauer bei zulässigen Betriebsbedingungen ein funktionsgerechtes Verhalten zu erbringen.“

Um qualitative Aussagen über die Zuverlässigkeit machen zu können, werden leistungselektronische Module definierten Belastungen ausgesetzt [16]. Durch die Messung physikalischer Systemgrößen lassen sich Veränderungen feststellen, die auf Degradationserscheinungen hinweisen. Verschiedene Belastungen der Prüflinge führen zu unterschiedlichen Fehlermechanismen, die abhängig von den wirkenden Kräften unterschiedlich schnell ablaufen.

3.1 Passive Thermische Temperaturwechseltests

Bei den passiven Temperaturwechseltests erfährt das Bauteil einen zyklischen Temperaturwechsel, der sich aufgrund der variierenden Umgebung im Prüfling einstellt. Wird ein kaltes Modul hohen Umgebungstemperaturen ausgesetzt, so wird es sich der Temperatur anpassen. Das führt im System zwischen den unterschiedlichen Materialien mit individuellen thermischen Ausdehnungskoeffizienten (siehe auch Kapitel 2.4) zu thermomechanischen Spannungen, die in Abhängigkeit von den zugrundeliegenden Temperaturgradienten auf den Prüfling mechanischen Stress ausüben.

3.1.1 Temperaturschocktest

Beim Temperaturschocktest (TST) verweilt der Prüfling für definierte Zeitspannen abwechselnd in zwei Kammern. Angesichts der hohen Temperaturunterschiede entstehen beim Kammerwechsel beträchtliche Temperaturgradienten im Prüfling, die bereits nach wenigen Zyklen zu Schäden im Aufbau führen können. Die Verweilzeit in einer Kammer wird dabei nach der thermischen Kapazität des Prüflings ausgelegt, so dass sich dieser vollständig der Kammertemperatur anpasst.

Ein mögliches Testprofil für leistungselektronische Aufbauten wäre z.B.:

1. Kammer: -40°C -> Verweilzeit: 30 min
2. Kammer: 150°C -> Verweilzeit: 30 min

Besonders die flächigen Lotverbindungen degradieren unter den wirkenden Scherbelastungen. Dieser für den TST typische Fehlermechanismus zeigt sich an Haarrissen im Systemlot, die unter der Wechselbelastung wachsen (Abb. 3-1).

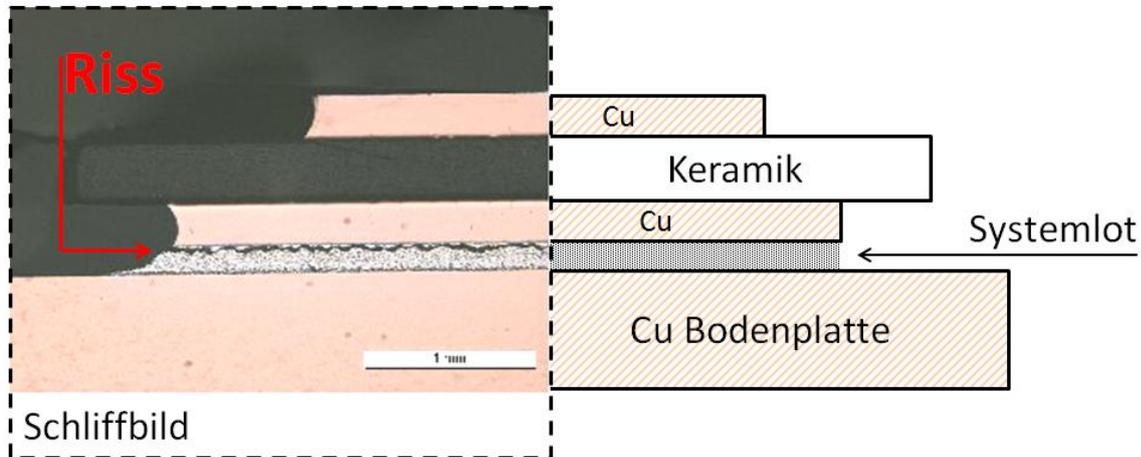


Abb. 3-1: Rissbildung im Systemlot

Quelle für das Schliffbild [17]

Da die Amplitude der Relativbewegungen mit steigender Verbindungslänge (der Diagonalen) zunimmt, wachsen die Risse bei den großflächigen Verbindungsstellen von außen nach innen und schnüren ursprünglich quadratische Anbindungsflächen immer weiter ein.

Aufbau: 200µm Lot, 20mm x 30mm, Cu Bodenplatte 2,5mm, Al₂O₃ DCB
Testbedingung: -40°C <-> 125°C, Verweilzeit pro Kammer 30 min - EN 60068-2-14 -

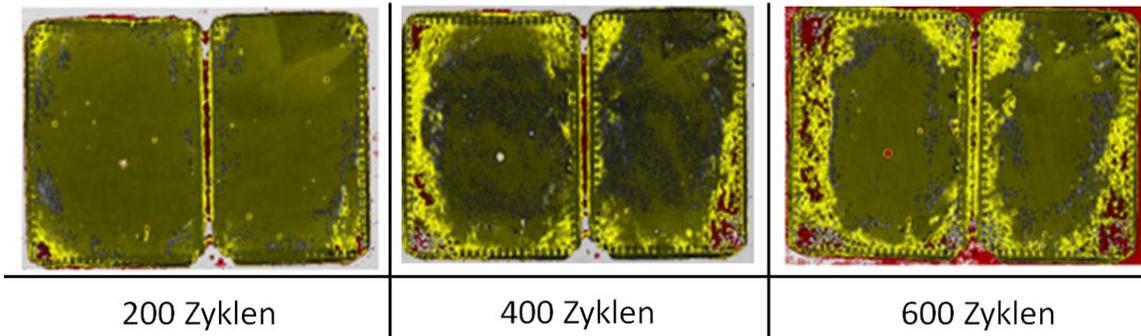


Abb. 3-2: Ultraschalluntersuchung des Systemlots nach unterschiedlichen Temperaturwechselzahlen
 Quelle: [18]

Diese These konnte mittels einer Untersuchung (siehe Abb. 3-2) bestätigt werden, bei der die Lotverbindung zwischen Substrat und Bodenplatte durch eine Ultraschalluntersuchung bei unterschiedlichen Zyklenzahlen analysiert wurde. Die Farbkontraste der Bilder zeigen den zerrütteten Lotbereich (gelb), der mit steigender Zyklenzahl anwächst.

Dieser Fehlermechanismus hängt von vielen Faktoren ab und ist nicht allein durch unterschiedliche Ausdehnungskoeffizienten der Materialien zu beschreiben. Die Steifigkeit der Fügepartner, die wesentlich durch konstruktive Maßnahmen beeinflusst werden kann, spielt ebenso eine bedeutende Rolle. Spannungsreduzierende Maßnahmen, wie zum Beispiel die Variation der Schichtstärken oder das Einbinden von lokalen Materialschwächungen, werden vielfach angewandt, um die Temperaturwechselbeständigkeit zu erhöhen.

Darüber hinaus versucht man durch Legierungsbestandteile und/oder variierende Temperaturprofile im Lotprozess die kristallinen Eigenschaften der Verbindungsschichten zu beeinflussen, sodass eine für die Anforderung bessere Zuverlässigkeit erzielt werden kann [2].

3.1.2 Temperaturwechseltest

Bei dem Temperaturwechseltest (TC – Temperature Cycling) befindet sich der leistungselektronische Prüfling in einer Kammer, die geregelt den Innenraum temperiert. Dabei wird zyklisch eine maximale und minimale Temperatur angefahren, die sich an den möglichen Lagertemperaturen der elektrischen Baugruppe (Prüfling) orientiert. Diese Angabe ist im Datenblatt eines Leistungsmoduls zu finden und beläuft sich z.B. beim IGBT-Modul von Infineon (DD1200S12H4) auf:

Lagertemperatur: min = -40°C , max = 150°C

Die Verweilzeit auf der maximalen bzw. minimalen Temperatur orientiert sich an der thermischen Impedanz des Prüflings, damit dieser sein thermisches Gleichgewicht an der jeweiligen Grenztemperatur erreicht. Die resultierenden Temperaturgradienten im Prüfling sind dabei erheblich geringer als beim Temperaturschocktest in einem Zweikammersystem, wodurch die Degradationsvorgänge deutlich langsamer ablaufen.

Dieser Test soll zeigen, dass nach einer definierten Zyklenzahl keine Funktionsänderung des Prüflings festzustellen ist. Dieser Nachweis wird durch elektrische und thermische Messungen erbracht.

3.2 Aktiver Lastwechseltest

Der aktive thermische Lastwechseltest wird gewöhnlich auch als Power Cycling Test (PC-Test) beschrieben. Zunächst besteht der Unterschied zwischen den passiven und aktiven Lastwechseltests in der thermischen Energiezufuhr. Während sich die passiv getesteten Module der Umgebungstemperatur anpassen, werden die Module beim

aktiven Verfahren durch die Verlustleistung der verbauten Halbleiter von innen heraus erhitzt. Das erfordert eine elektrische Kontaktierung des Prüflings und eine entsprechend leistungsfähige Stromquelle, um das Modul nahe dem Nennstrom betreiben zu können. Durch die Leistungsverluste in den Halbleitern wird in kurzer Zeit eine Maximaltemperatur der Sperrschicht erreicht, bevor die Abkühlkurve mit dem Abschalten des Laststromes beginnt. Das zyklische Temperaturprofil, wie es anhand einer kurzen Sequenz in der Abb. 3-3 qualitativ gezeigt ist, wird kontinuierlich wiederholt.

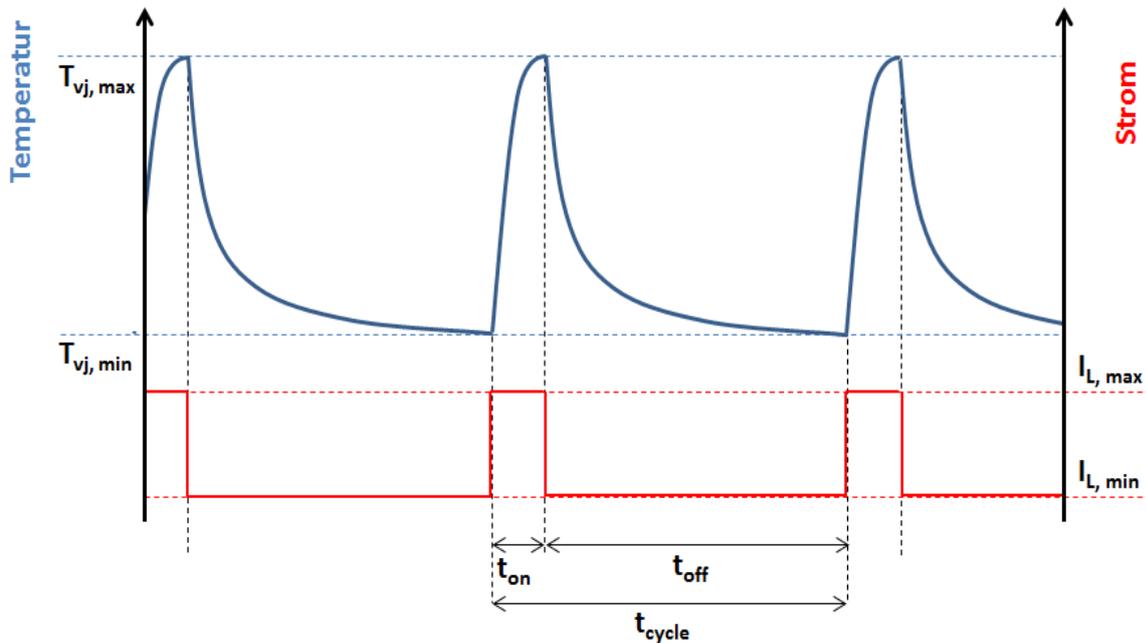


Abb. 3-3: Charakteristisches Lastwechselprofil - t_{on} t_{off} konstant

Sowohl die steilen Temperaturgradienten als auch der hohe Temperaturhub sorgen für erheblichen thermomechanischen Stress, unter dem die Degradationsprozesse, wie in Kapitel 2.4.4 beschrieben, ablaufen. Abhängig von den konfigurierten Testbedingungen vollziehen sich diese Alterungsprozesse, bei denen man von Fehlermechanismen spricht, unterschiedlich schnell.

Die Sperrschicht des Halbleiters kann diesen in wenigen Millisekunden stark erhitzen, während entfernter liegende Materialebenen aufgrund größerer thermischer Kapazität weit träger auf einen Temperaturwechsel reagieren (siehe auch Kapitel 2.4.2 Thermische Impedanz). Bei dem simulierten Modell, wie es in Abb. 3-4 zu sehen ist, hat sich der Halbleiter bei einem Strom von 250A auf eine Maximaltemperatur von 160°C erhitzt.

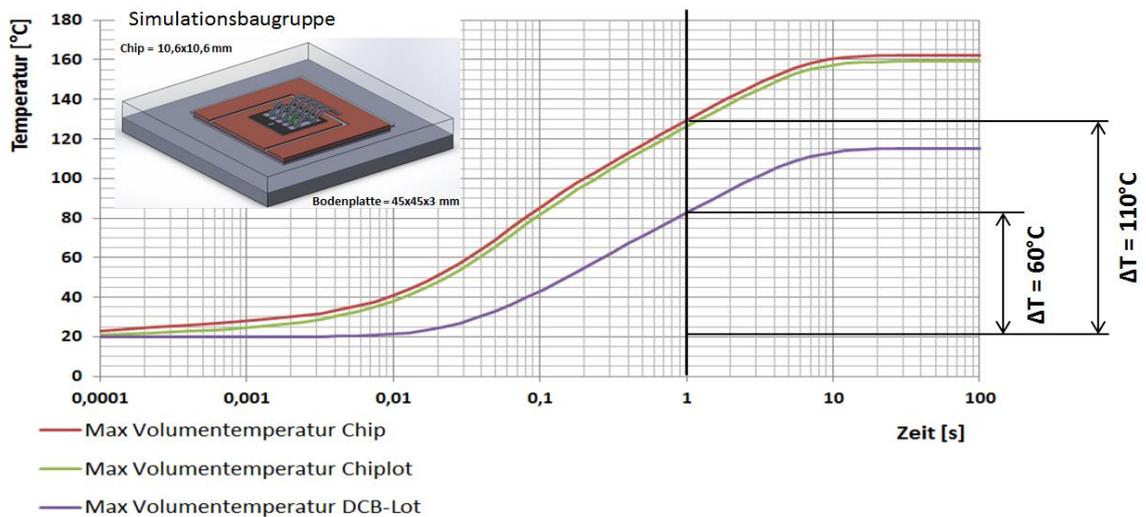


Abb. 3-4: Temperaturhubvergleich zwischen Chip- und DCB-Lot beim Lastwechsel.

Bereits nach einer Sekunde ist dabei ein Temperaturhub von 110°C an der Halbleiterlotverbindung erzielt worden. Zur gleichen Zeit beträgt die Temperaturerhöhung an dem Substratlot etwa 60°C, da das thermische Umladen der massiven Bodenplatte entsprechend Zeit benötigt. Da der Temperaturhub die wesentliche Triebkraft der Fehlermechanismen ist, zeigt dieses Beispiel, dass die Belastung der halbleiternahen Verbindungen bei kurzen Lastwechselzeiten deutlich höher ist als die der Substratverbindung.

Umfangreiche Grundlagenuntersuchungen gehen auf das LESIT- Projekt aus dem Jahr 1997 zurück, in dem die Fehlermechanismen beim Lastwechseltest statistisch analysiert und beschrieben wurden [19]. Weiterführende Untersuchungen zu variierenden Aufbautechnologien wurden von Amro und Lutz publiziert, bei denen Temperaturhübe bis 155°C angewendet wurden [20].

Es gibt definierte Testabbruchbedingungen, bei denen der EOL (End Of Life) des Bauteils erreicht ist. Diese Abbruchbedingungen beschreiben zum Beispiel eine definierte Änderung des Wärmewiderstandes R_{thJ-C} , oder den Anstieg der Durchlassspannung auf einen festgelegten Grenzwert. Je nach Grenzwert und zugehörigem Belastungsprofil erreichen die Prüflinge unterschiedliche Zyklenzahlen, die als quantitatives Maß der Zuverlässigkeit verglichen werden können.

3.2.1 Unterschiedliche Regelstrategien beim Lastwechseltest

Der PC-Test ist ein weitverbreitetes Testverfahren, dessen Ergebnis in Form einer erreichten Zyklenzahl für die Beurteilung der Zuverlässigkeit genutzt wird: je höher die

erreichte Zyklenzahl, desto höher die Lastwechselbeständigkeit des Prüflings. Voraussetzung für die Validität dieses Befundes ist allerdings die Gleichheit der Testbedingungen für die unterschiedlichen Prüflinge.

Im Laufe der Zeit haben sich verschiedene Teststrategien entwickelt, aus deren Belastungsprofil unterschiedlich starke Beschleunigungen der Fehlermechanismen resultieren. Bei einem gängigen Verfahren wird der Prüfling am Teststand montiert und durch den Nennstrom zyklisch belastet. Die Schaltzeiten t_{on} und t_{off} sowie weitere Eingangsgrößen (Gate-Spannung, Kühlwassertemperatur, Kühlerleistung) werden dabei zu Beginn auf einen Wert kalibriert, aus dem ein geforderter Temperaturhub an der Sperrschicht resultiert, wie es in der Abb. 3-3 dargestellt ist. Der Test läuft dann unter konstanten Bedingungen, bis eine zu definierende Messgröße einen Grenzwert übersteigt. Wegen der konstanten Schaltzeiten wird der Test auch „ t_{on} - t_{off} konstant“ genannt.

Neben diesem Testverfahren wurden besonders in der jüngeren Vergangenheit viele weitere Strategien vorgestellt, bei denen ein Regler auf das Driften variierender Messgrößen im Testverlauf reagiert. Das Driften einer Messgröße ist dabei das Resultat der wirkenden Fehlermechanismen, wie zum Beispiel die Erhöhung der Halbleitertemperatur aufgrund degradierter Lotverbindungen. Ein Regler könnte z.B. durch ein Verkürzen der t_{on} -Zeit diesen Effekt kompensieren. Das würde im Laufe des PC-Tests zu einer Reduzierung der Belastung führen, wodurch die erreichbare Zyklenzahl stark ansteigen kann. Umfangreiche Untersuchungen hierzu wurden von Scheuermann und Schuler veröffentlicht [21].

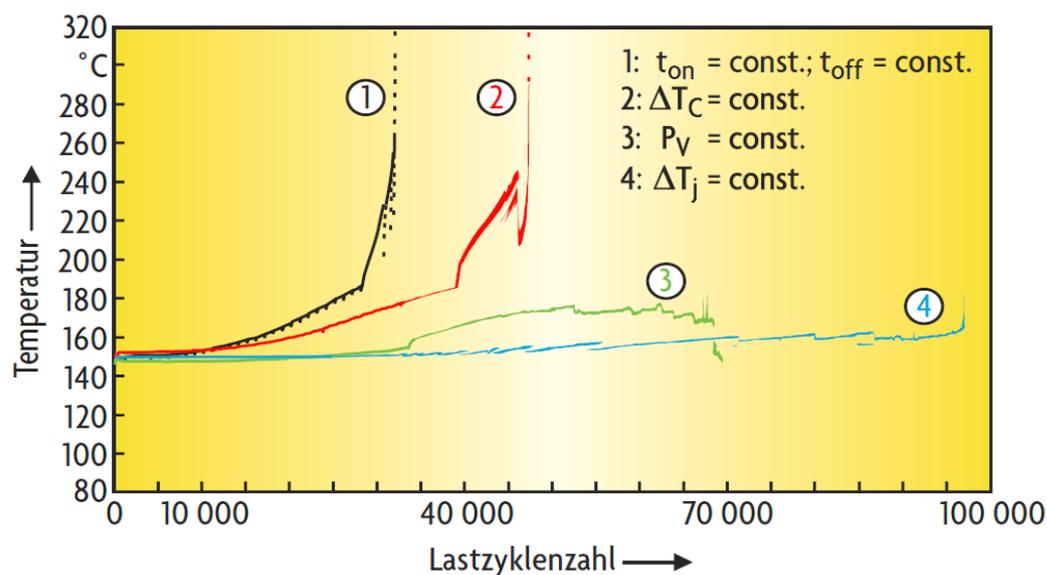


Abb. 3-5: Entwicklung der maximalen Sperrschicht-Temperatur in Abhängigkeit von der Regelstrategie. Quelle: [21]

Um den Anforderungen eines Leistungsmoduls im Feld¹ auch beim PC Test möglichst nahe zu kommen, sollte man sich nach der erste Regelstrategie „ $t_{on} - t_{off}$ konstant“ richten. Diese Empfehlung beruht auf der Tatsache, dass die Anforderungen bzw. Belastungen eines Leistungsmoduls über die Lebenszeit festgeschrieben sind und nicht aufgrund von Degradationserscheinungen reduziert werden.

Die weiteren Regelstrategien haben ihren Ursprung in der Forschung, um das Driften von unterschiedlichen Größen zu unterbinden und somit Störgrößen im Hinblick auf das relevante Untersuchungsziel zu vermeiden. Möchte man z.B. den oberseitigen Halbleiterkontakt hinsichtlich der thermischen Wechselbeständigkeit prüfen, bietet sich die zweite Teststrategie (siehe Abb. 3-5) an. Ein ansteigender R_{th} durch Degradationserscheinungen im Wärmepfad würde üblicherweise zu einer Temperaturerhöhung der Sperrschicht führen, die hier durch das Wirken eines Reglers unterbunden wird.

Aktive Lastwechseluntersuchungen sind in der Aufbau- und Verbindungstechnik das wesentliche Werkzeug, um die Zuverlässigkeit eines Leistungsmoduls unter beschleunigten Bedingungen beurteilen zu können.

Darüber hinaus gibt es noch weitere Zuverlässigkeitsstandards, die von Lutz am Beispiel Infineon und Semikron beschrieben werden. [22]

¹ im Feld: stellt den Betrieb am Anwendungsort mit entsprechenden Anforderungen dar.

4 Hochzuverlässige Modultechnologien

4.1 Steigende Anforderungen

Die Forschung und Entwicklung arbeitet an neuen Technologien, von deren Einsatz man sich in zukünftigen Systemen Vorteile erhofft. Die wesentliche Herausforderung für neuartige Lösungsansätze ist der Wunsch nach einem Anstieg der Zuverlässigkeit bei steigender Leistungsdichte. Die zugrundeliegenden Anforderungen an das Modul werden dabei immer komplexer, da die Leistungselektronik stetig neue Anwendungsfelder erschließt. Hochtemperaturanwendungen, wie zum Beispiel für die Leistungselektronik in Bohrköpfen für Tiefbohrungen, werden erst durch neue Technologien ermöglicht. Leistungselektronische Module müssen dabei robust gegen eine Vielzahl unterschiedlicher Umwelteinflüsse sein:

- Vibrationen
- mechanische Schocks
- absolute Temperaturen
- Temperaturwechsel
- Feuchte

In der Halbleiterentwicklung hat sich das Verhältnis Strom pro Fläche in den letzten 25 Jahren kontinuierlich gesteigert. Diese Entwicklung wird in einer Grafik von Infineon verdeutlicht, in der die Generationen eines 75A /1700V IGBTs gezeigt werden.

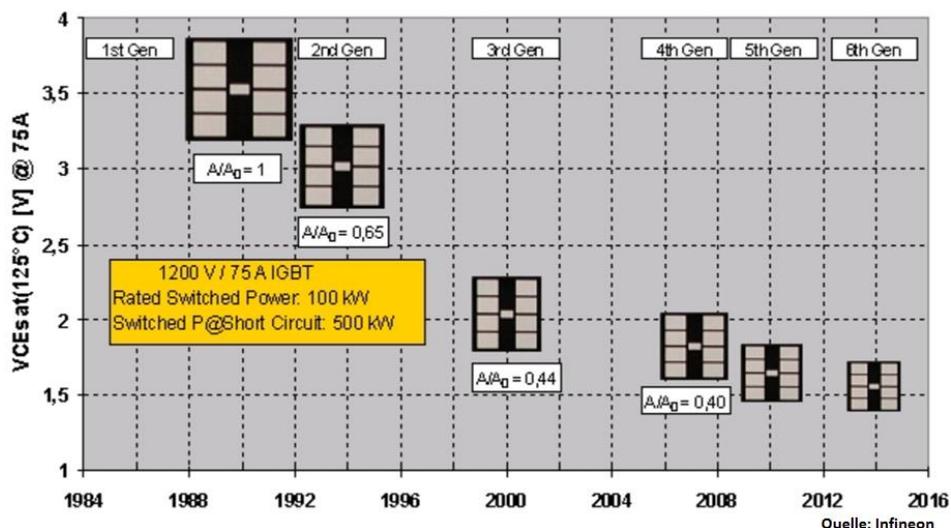


Abb. 4-1: Halbleiterentwicklung am Beispiel eines 1200V/75A IGBTs

Quelle [23]

Die Flächensparnis vom Silizium, bei konstanter Schaltleistung von 100kW, ist auf die Weiterentwicklung der Halbleiterstrukturen zurückzuführen, bei der die Sättigungsspannung (siehe Abb. 4-1 - y-Achse) und somit die Durchlassverluste deutlich reduziert wurden. Besonders die Einführung der Trench- und Feldstopptechnologie ab der dritten IGBT Generation bedeutete einen großen Fortschritt hinsichtlich der Durchlassverluste. [24]

Außerdem ist besonders in den letzten Generationen ein Anstieg der Sperrschichttemperaturen festzustellen, so kann der 5th IGBT bis zu einer Temperatur von 175°C betrieben werden.

Für die Verbindungstechnologien bedeutet das:

- Geringere Kontaktflächen (elektrisch und thermisch)
- Höhere Temperaturbelastung der Verbindungen

Durch die Entwicklung neuer Halbleitermaterialien wird der Bedarf an neuen Verbindungstechnologien noch deutlicher:

„Mit SiC wären theoretisch mehr als 800°C Betriebstemperatur möglich. Allerdings müssen dann die verwendeten Materialien der Aufbau- und Verbindungstechnik (Kontakte, Bonddrähte, Lötstufen, Gehäuse) ebensolchen Temperaturen gegenüber stabil sein, was heute technisch nicht möglich ist.“ (Lutz „Halbleiterleistungsbauelemente“ Kapitel 2.1) [22]

Die Anforderungen und Möglichkeiten zukünftiger Leistungsmodulgenerationen verlangen die Entwicklung neuer Verbindungstechnologien.

4.2 Neue Verbindungstechnologien

Hochtemperaturbeständige Verbindungstechnologien erregen in der Industrie eine große Aufmerksamkeit, da die Zuverlässigkeit dadurch enorm gesteigert werden kann. Speziell für die hochbelasteten Halbleiterschnittstellen werden in letzter Zeit neue, innovative Fügetechniken vorgestellt.

4.2.1 Verbindung zwischen Halbleiter und Substrat

Für die Verbindung zwischen dem Halbleiter und dem Substrat gibt es im Wesentlichen zwei neue Technologien, die in der Fachwelt für Aufmerksamkeit sorgen. Diese Verfahren sollen in den nächsten beiden Kapiteln vorgestellt werden, bevor eine Bewertung

und letztlich das favorisierte Verfahren für die eigene Modulentwicklung vorgetragen werden.

4.2.1.1 Diffusionslötten

Das Diffusionslötten bezeichnet ein Verbindungsverfahren, das vom Prozess ähnlich wie das Weichlöten abläuft, sich im Vergleich zu diesem jedoch durch eine weit höhere Reflow-Temperatur² auszeichnet [25]. Das gelingt durch eine annähernd komplette Umwandlung des Verbindungswerkstoffes in intermetallische Phasen, deren Schmelzpunkt weit über dem des ursprünglichen Verbindungsmaterials liegt. Verwendet man ein zinnhaltiges Lot und reichert die Lotpaste mit Cu an, so entstehen aufgrund des hohen Kupferanteils nach einem Lotprozess (~260°C für 3-4 min) im Wesentlichen zwei intermetallische Phasen:

1. Cu_6Sn_5 $T_m=676^\circ\text{C}$
2. Cu_3Sn $T_m=415^\circ\text{C}$

Da für die Ausbildung der genannten Phasen [26] viel Cu-Oberfläche vorhanden sein muss, kann man entweder das Cu in Pulverform der Lotpaste beifügen oder man reduziert die Schichtstärke der Verbindung, so dass die Oberflächen der Cu-metallisierten Fügepartner ausreichen. Diese beiden unterschiedlichen Aufbauten sind in Abb. 4-2 zu sehen.

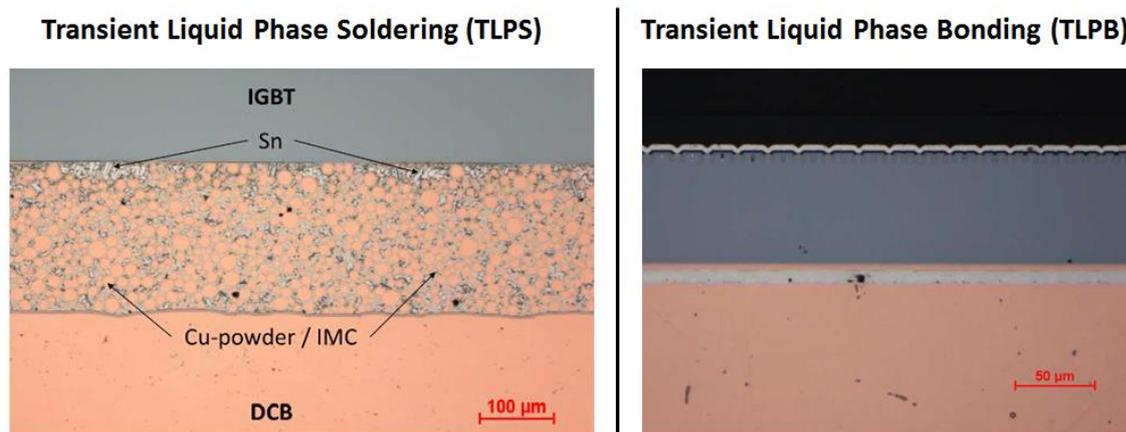


Abb. 4-2: Schliffbilder vom TLPS- und TLPB-Verbindungen. Quellen: links [27], rechts [28]

Bei dem TLPS- Verfahren können hohe Schichtstärken erreicht werden, da das Phasenwachstum über den ganzen Querschnitt an allen Cu-Körnern stattfindet. Darüber

² Temperatur unter der die Verbindungsschicht erneut aufschmelzen würde.

hinaus sollen herkömmliche Metallisierungen und Prozesse, wie man sie aus der Löt-technologie kennt, genutzt werden können [27].

Bei dem TLPB- Prozess liegen hingegen andere Rahmenbedingungen vor, da die Paste nicht über den erforderlichen Cu-Anteil verfügt. Für dieses Verfahren benötigen beide Fügepartner eine Cu-Oberfläche, an der die gewünschten Phasen wachsen können (siehe Abb. 4-3). Die Verbindungsschicht wird aus diesem Grund sehr dünn ausgelegt, sodass die Phasen durch den kompletten Querschnitt wachsen können.

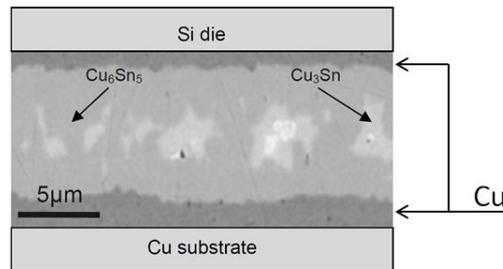


Abb. 4-3: Schliff einer Diffusionsgelöteten TLPB Verbindung.

Quelle: [25]

Da herkömmliche Substrate eine Oberflächenrauigkeit von etwa 16µm haben [29] ist es vermutlich für das TLPB Verfahren erforderlich, polierte Substratoberflächen zu nutzen. Somit kann über die komplette Fügefläche ein Phasenwandel erzielt werden, da die Cu₆Sn₅ Phase in der dünnen Verbindungsschicht zwischen den beiden Fügepartnern wachsen kann. Die Abb. 4-3 zeigt eine Verbindungsstärke von etwa 8µm, in der das Lot dank der Cu-metallisierten Oberflächen der Fügepartner fast vollständig in zwei hochtemperaturschmelzende Phasen umgewandelt wurde.

Für das Beispiel auf Cu-Sn basierten Diffusionsverbindungen erhält man bei der Annahme einer Reflow-Temperatur von etwa 400°C (orientiert sich am T_m von Cu₃Sn) und einer Einsatztemperatur von 125°C eine homologe Temperatur von:

$$T_{\text{homolog}} = \frac{398 \text{ K}}{673 \text{ K}} = 0,59 \quad (5)$$

Das ist im Vergleich zu einer herkömmlichen Lotverbindung mit T_h= 0,81 eine deutliche Verbesserung, aus der sich eine hohe Zuverlässigkeit im System vermuten lässt. Dieses wird anhand unterschiedlicher Lastwechseluntersuchungen in den Veröffentlichungen [30] und [31] bestätigt.

Neben Cu-Sn basierten Systemen sind auch Cu-Ni-Sn, oder Ni-Sn Systeme bekannt, bei denen es ebenfalls zu sehr temperaturbeständigen intermetallischen Phasen kommt.

Untersuchungen bezüglich der Zuverlässigkeit entsprechender Verbindungen finden sich in [32].

4.2.1.2 Niedertemperatur-Sintern

Beim Niedertemperatur-Sintern wird eine Verbindungsschicht aus hochreinem Silber erzeugt. Umfangreiche Grundlagenuntersuchungen liefern die Dissertationen von Mertens [33] und Rudzki [34]. Zum Einsatz kommen Ag-Pasten, die sich aus Ag-Partikeln und einem definierten Massenanteil organischer Substanzen zusammensetzen. Die leicht flüchtigen Substanzen in der Sinterpaste dienen dazu, eine erwünschte Viskosität zu erzeugen, wodurch eine Verarbeitung mit standardisierten Druckprozessen ermöglicht wird. Ein gängiges Verfahren zum Auftragen der Paste ist der Schablonendruck, wo in Abhängigkeit von der Schablonenstärke unterschiedlich dicke Pads gedruckt werden können (siehe Abb. 4-4). Dieser Prozess ist bei den leistungselektronischen Modulherstellern sehr bekannt, da Lotpasten häufig durch einen Schablonendruckprozess verarbeitet werden. Alternativ kann auch ein Siebdruck- oder Spray-Coating-Verfahren zum Auftragen der Ag-Paste angewendet werden.

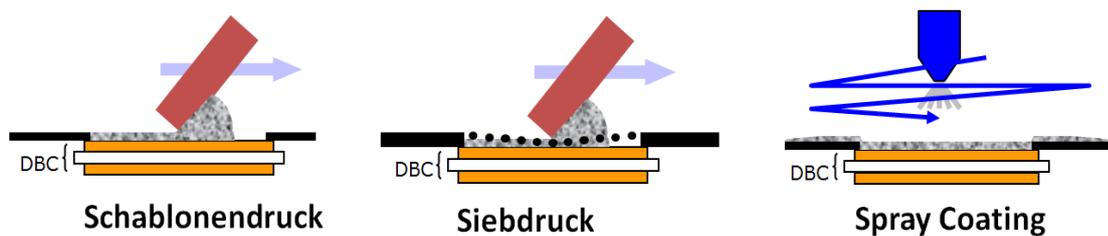


Abb. 4-4: Unterschiedliche Verfahren zum Auftragen von Ag-Paste.

Nach dem Druckprozess folgt bei leistungselektronischen Aufbauten in der Regel ein Trockenprozess, in dem die organischen Bestandteile annähernd vollständig wieder abgedampft werden. Je nach Pastenhersteller variiert dieser Prozess. In der Regel findet er bei einer Temperatur um 130°C für einige Minuten statt. Das Resultat ist ein getrocknetes Ag-Pad aus Micro-Partikeln oder herstellerabhängig auch Nano-Partikeln.

Da die stoffschlüssige Verbindung beim Sintern durch eine Festkörperdiffusion entsteht, ist eine oxidfreie Oberfläche auf den Fügepartnern erforderlich. Die für das Löten bekannte Halbleitermetallisierung aus Ag ist in den meisten Fällen auch als Anbindungsfläche für das Sintern geeignet. Auf die Oberfläche des Substrats werden Ni/Au- oder Ag-Metallisierungen aufgetragen, die eine Vielzahl an Lieferanten als Standardoberfläche anbieten.

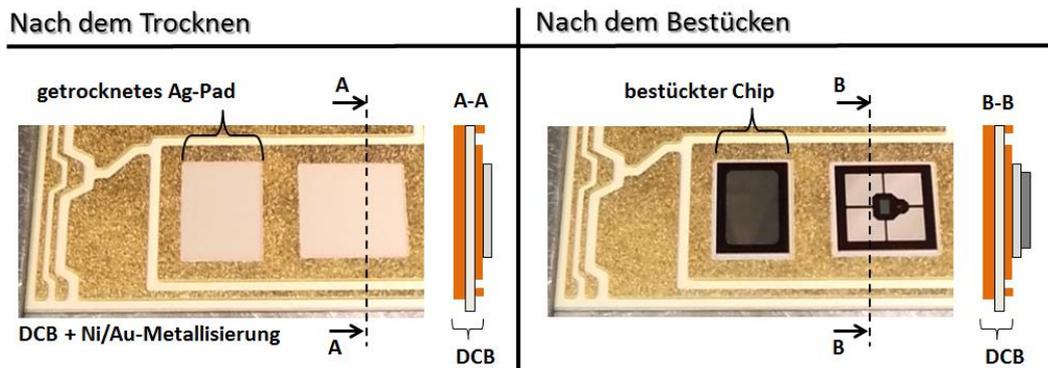


Abb. 4-5: DCB-Substrat für den Bestückungsprozess.

Bevor der eigentliche Verbindungsprozess stattfinden kann, muss der Fügepartner, in diesem Fall der Halbleiter, auf dem Ag-Pad fixiert werden (siehe Abb. 4-5).

Bei herkömmlichen Bestückungsaufgaben ist dieser Prozess gut beherrschbar, da der Halbleiter in die nasse Lotpaste gesetzt wird. Dadurch ist er erschütterungsresistent fixiert. Die organischen Substanzen der Lotschicht (Flussmittel) beeinflussen den Prozess positiv und werden letztlich beim Löten in der flüssigen Phase durch Vakuumprozesse aus der Verbindungsschicht evakuiert.

Bei dem Drucksinterprozess der Leistungselektronik besteht die Herausforderung darin, den Halbleiter auf dem getrockneten Pad zu fixieren. Andernfalls würde ein in die nasse Paste gesetzter Halbleiter das Abdampfen der Organik behindern. Besonders bei großen Verbindungsflächen können so Trockenkanäle in der Silberschicht entstehen. Die Kanäle schließen sich im Drucksinterprozess nicht, da das Verbindungsmaterial lediglich komprimiert und nicht verflüssigt wird.

Auf Basis umfangreicher Prozessentwicklungen ist es unter Zuhilfenahme von Temperatur und Druck gelungen, den Bestückungsprozess sicher durchzuführen. Bei einer Belastung von einigen Newton und einer Temperatur $> 100^{\circ}\text{C}$ ist der Chip erschütterungsresistent auf dem Pad fixiert.

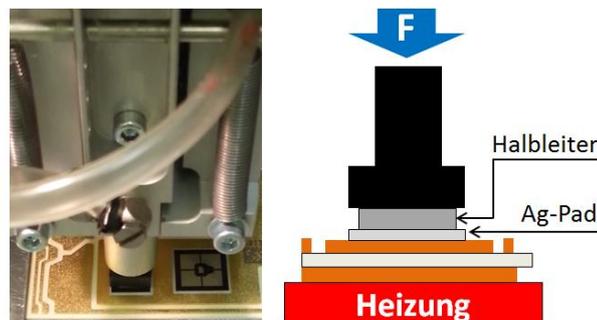
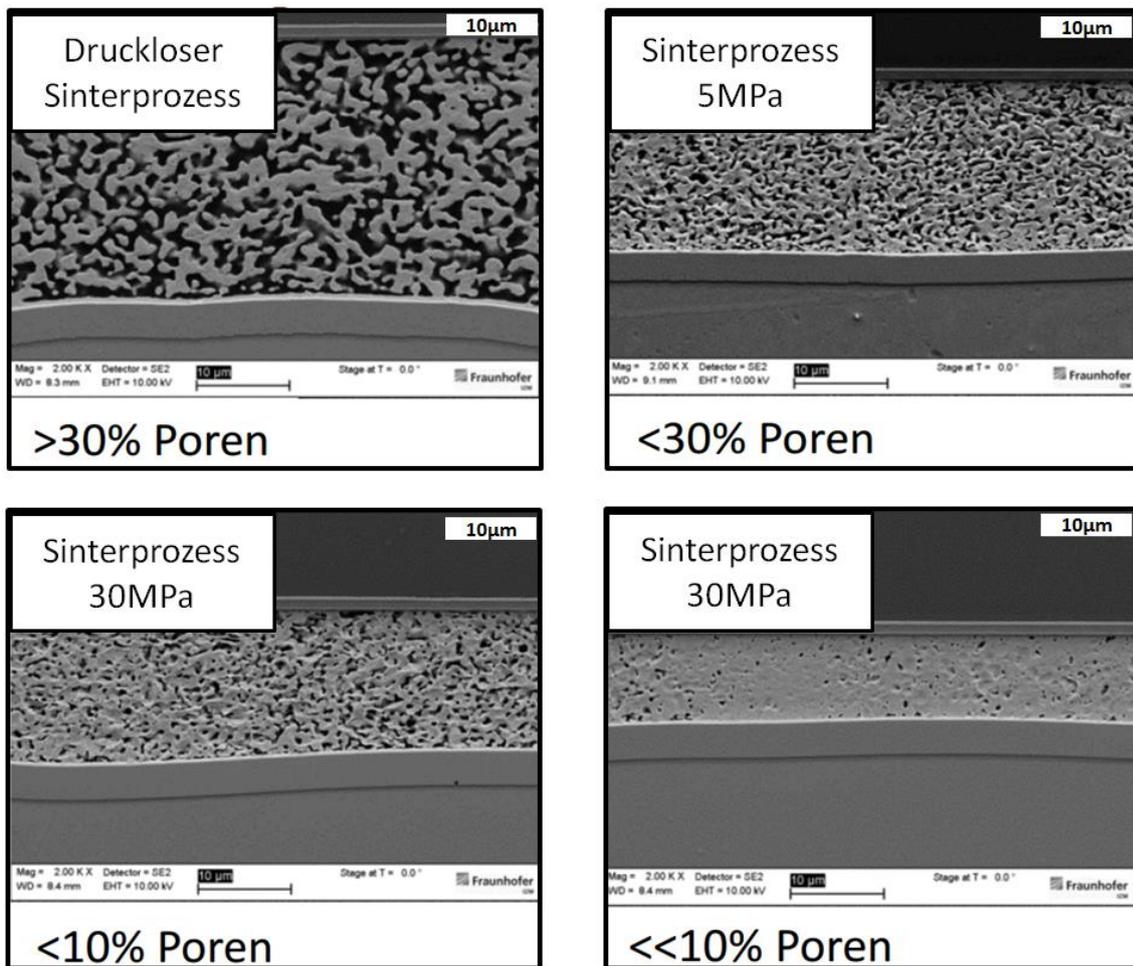


Abb. 4-6: Bestückung eines Halbleiters auf einem getrockneten Sinterpad.

Diese Eigenschaft ist sowohl auf das mikroskopische Verkrallen der Oberflächen als auch auf das Wachstum erster Sinterhalse zurückzuführen.

Der eigentliche Sinterprozess für leistungselektronische Anwendungen findet im Anschluss oftmals unter hohem Druck und Temperaturen um 250°C statt. Bei dieser Temperatur zersetzt sich das Coating der einzelnen Silberpartikel, wodurch die Reaktionsfreudigkeit der benachbarten Teilchen signifikant gesteigert wird [33]. Es entsteht eine stoffschlüssige Verbindung, in der sich abhängig vom Druck eine Restporosität einstellt.



Quelle: BMBF Forschungsprojekt ProPower - Erarbeitet von der TU Berlin & Fraunhofer IZM

Abb. 4-7: Porositätsverteilung in der Sinterverbindung in Abhängigkeit vom Druck.

Das obere linke Bild in der Abb. 4-7 zeigt das Resultat eines drucklosen Sinterprozesses, der bei Bauelementen geringerer Leistungsklassen, wie z.B. diskreten Bauelementen, angewendet werden soll. Die geringeren Prozessanforderungen (bezogen auf den Druck) ermöglichen es, die Fertigungskosten niedrig zu halten, bei einer hinreichenden Zuverlässigkeit der porösen Verbindungsschicht. Die Porosität in den Sinterverbindun-

gen reduziert sich mit steigendem Druck, wodurch sowohl der Zusammenhalt in der Paste (Kohäsion) als auch die Anbindung zum Fügepartner (Adhäsion) zunehmen.

Bei hohem Druck von bis zu 30MPa bleibt eine Restporosität von etwa 5-10% in der Verbindungsschicht. Die laterale Porositätsverteilung unter großen Halbleitern kann dabei in Abhängigkeit von der Substratrauigkeit variieren, da durch Höhenunterschiede eine inhomogene Druckverteilung entsteht. Diese schwankende Porosität ist in den unteren beiden Bildern der Abb. 4-7 zu erkennen. Beide Proben sind unter einem identischen Sinterdruck von 30MPa entstanden.

Die Erfahrung zeigt, dass nicht allein der Sinterdruck mit der Verdichtung bzw. Porosität korreliert, sondern auch durchaus weitere Faktoren eine Rolle spielen [34]. Die Form der Silberpartikel, variierende Prozesse oder unterschiedliche Pad-Geometrien üben einen starken Einfluss auf die Verbindungsbildung aus.

Der Drucksinterprozess wird hauptsächlich in drei Varianten unterschieden [34].

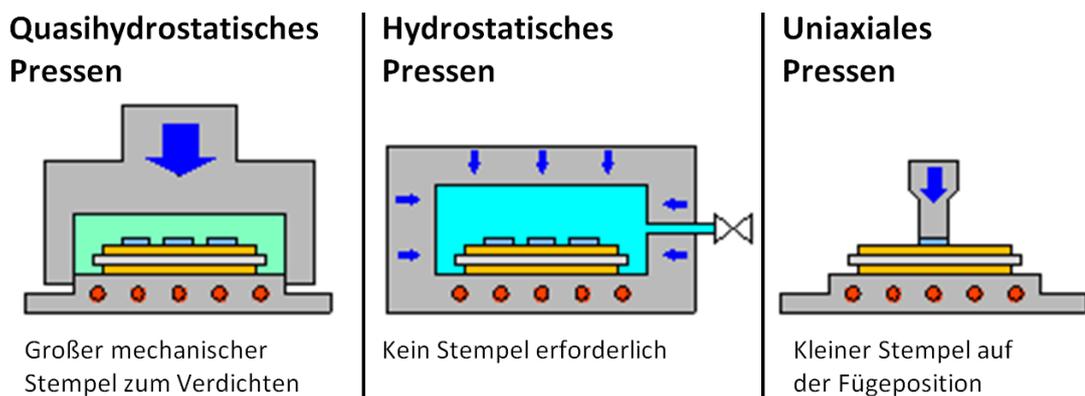


Abb. 4-8: Darstellung unterschiedlicher Druck-Sinterverfahren.

Beim quasihydrostatischen Pressen wird das Volumen einer Kammer reduziert, wodurch ein flexibles Medium Druck auf die Oberflächen ausübt. Bei dem hydrostatischen Pressen sorgt ein flüssiges Medium für eine gleichmäßige Druckverteilung in der Prozesskammer. Das uniaxiale Pressen führt nur an den relevanten Oberflächen einen partiellen Druck ein. In allen Prozessen sorgen Druck und Temperatur für ein Verdichten der Verbindungsschicht, wodurch sowohl die Kohäsion in der Paste als auch die Adhäsion zum Fügepartner durch das Wachstum der Sinterhälse signifikant zunehmen.

Betrachtet man die homologe Temperatur einer Sinterverbindung bei einer Betriebstemperatur von 125°C, so erhält man:

$$T_{\text{homolog}} = \frac{398 \text{ K}}{1235 \text{ K}} = 0,32 \quad (6)$$

Dieser geringe Wert deutet auf eine zeitunabhängige Festigkeit des Verbindungsmaterials unter der genannten Betriebstemperatur hin, wobei plastische Verformungen (Krieeffekte) nur durch Kräfte oberhalb der Fließspannung zu erwarten sind. Das ist der wesentliche Grund für die hohe Zuverlässigkeit einer Sinterverbindung.

Da diese Betrachtung jedoch auf massivem Ag-Material beruht, sind in der porösen Sinterverbindung Abweichungen besonders hinsichtlich des Kriechverhaltens zu vermuten. Aktuelle Untersuchungen in dem laufenden BMBF - Forschungsprojekt ProPower bestätigen die unterschiedlichen Materialeigenschaften des massiven bzw. porösen Silbers. Die Ergebnisse werden in dem Projektabschlussbericht für die Öffentlichkeit verfügbar sein (Projektende ist Mitte 2015).

4.2.1.3 Bewertung und Fazit

Für die Verbindung zwischen dem Halbleiter und dem Substrat stehen im Wesentlichen zwei neue Verfahren zur Auswahl, die bei hochzuverlässigen Modulen die konventionelle Lotverbindung zwischen Halbleiter und Substrat ersetzen könnten. Die hohe Lastwechselbeständigkeit der beiden Technologien wurde bereits an vielfältigen Aufbauten nachgewiesen, wobei beide Technologien, das Diffusionslöten und das Silbersintern, ein enormes Verbesserungspotential aufweisen [35]. Aus diesem Grund wurden weitere Kriterien eingeführt, nach denen die neuen Technologien beurteilt wurden.

Tabelle 2: Vergleich unterschiedlicher Verbindungstechnologien „Chip – Substrat“

	Löten	Diffusionslöten	Drucksintern
Homologe Temperatur Verbindungsmaterial für T=125°C	0,81	0,59	0,32
Wärmeleitfähigkeit des Verbindungsmaterials	Sn96Ag3,5 78 W/(mK)	Cu ₃ Sn ₃ 34,1 W/(mK) Cu ₃ Sn 70,4 W/(mK)	~15% Poren 250 W/(mK)
Gängige Schichtstärke des Verbindungsmaterials	~ 90µm	TLPS - < 10µm TLPB - 90 - 250µm	~ 30µm
Lastwechselbeständigkeit im PC-Test (+ gering, ++++ sehr hoch)	+	++++	++++
Verfügbarkeit Fertigungsequipment (+ sehr geringe, ++++ hohe Verfügbarkeit)	++++	++	+
Anforderungen an die Fügepartner	lötbare Oberflächen (bekannte Definition für Lieferanten)	TLPS - erfordert geschliffene DCBs und eine Cu-metallisierte Chipunterseite TLPB - viel Cu-Oberfläche erforderlich -> Cu Pulver, Cu Strukturen	oxidfreie Metallisierungen: Ag, Ni/Au, Pd (meistens kompatibel zu lötbaren Oberflächen)
Reinigungsschritt nach der Verbindungsbildung zum Entfernen von Flussmittelrückständen	ja	ja	nein

Bei dem Vergleich der homologen Temperatur profitiert besonders die Sinterverbindung durch die hohe Schmelztemperatur von Ag. Die Sintertechnologie ist daher die wohl beste Basis für Hochtemperaturanwendungen. Darüber hinaus profitiert ein gesinterter Halbleiter auch durch die gute Wärmeleitfähigkeit der relativ dünnen Verbindungsschicht.

Da die Löttechnologie bereits seit vielen Jahren angewendet wird, gibt es eine Vielzahl von Prozessen und Lotmaterialien mit zugehörigen Qualitätsstandards. Diese Basis ist bei der noch jungen Diffusions- und Sintertechnologie noch nicht gegeben, allerdings verfügen diese Technologien über eine deutlich höhere Lastwechselbeständigkeit und bilden somit eine gute Basis für hochzuverlässige Anwendungen.

Ein Vorteil beim Diffusionslöten im Vergleich zum Drucksintern ist, dass Ersteres, soweit man das zum jetzigen Zeitpunkt vorhersagen kann, in herkömmlichen Lötanlagen durchgeführt werden kann. Das Drucksintern hingegen erfordert eine druck- und temperaturbeaufschlagte Prozesskammer, über deren Spezifikation noch sehr unterschiedliche Konzepte und Meinungen vertreten sind. Ein ökonomischer Vorteil der Sintertechnologie ist jedoch die Ersparnis eines Waschprozesses, da Flussmittel für die Verbindungsbildung, anders als in Lotprozessen, nicht erforderlich sind (siehe auch Kapitel 2.1.1).

In dieser Arbeit wird bei der unterseitigen Halbleiterverbindung des Moduls auf die Sintertechnologie gesetzt. Diese erfordert keine Modifikationen der typischen Halbleitermetallisierung und ermöglicht es daher, auf eine Vielzahl an Ag-metallisierten Halbleitern (Halbleiterunterseite) zu setzen. Darüber hinaus sind die Rauigkeitsanforderungen an die Substratoberflächen beim Sintern deutlich geringer als bei den sehr dünnen Diffusionslotschichten, wodurch die DCB - Kosten auf einem niedrigen Niveau gehalten werden können.

Das Ersetzen der Lot- durch eine Sinterverbindung allein gewährleistet jedoch noch nicht den großen Zuverlässigkeitsfortschritt des Moduls. Diese Erkenntnis wurde im BMBF - Forschungsprojekt „SuperPowerMos“ [36] erarbeitet, wo als Substitut für die Halbleiterverbindung die Sintertechnologie implementiert wurde.

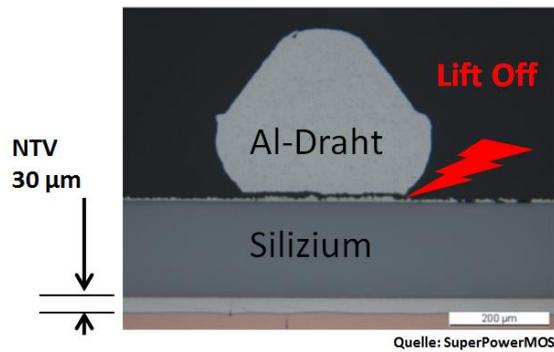


Abb. 4-9: Schliffbilder einer aktiv gezykelten Probe – Al-Draht Lift Off

Dabei wurde festgestellt, dass in den Sinterschichten nach dem Ausfall der Module im aktiven Lastwechseltest keine signifikanten Schädigungen zu finden waren [17]. Die Oberseitenkontaktierung der Halbleiter aus gebondeten Al-Drähten war hingegen so stark degradiert, dass es zu einem Abheben der Drähte (Lift Off) und zum Ausfall der Module gekommen war.

Aus diesem Grund wurde nach neuen Kontaktierungsverfahren für die Oberfläche eines Halbleiters recherchiert.

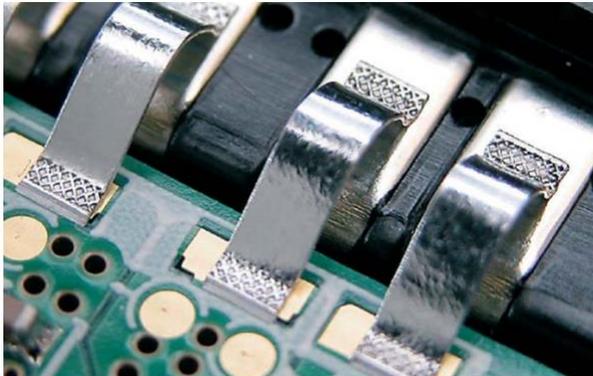
4.2.2 Chip-Oberseitenkontaktierung durch Ultraschallschweißverfahren

Das Mikro-Ultraschallschweißen von Kontakten ist bei der Fertigung leistungselektrischer Aufbauten ein bewährtes Verfahren. Im Wesentlichen werden dabei Aluminiumdrähte verarbeitet, die durch Druck und Ultraschall mit einer Oberfläche verschweißt werden (siehe Kapitel 2.1). Da die Verbindung des Aluminiumdrahtes jedoch einen stark begrenzenden Faktor in der Lastwechselbeständigkeit darstellt, werden schon seit langem neue Formen und Werkstoffe im Ultraschallschweißprozess erprobt. Die folgenden Kapitel sollen dem Leser die Verfahren veranschaulichen, bevor auch für die Oberseitenkontaktierung eine Bewertung durchgeführt wird.

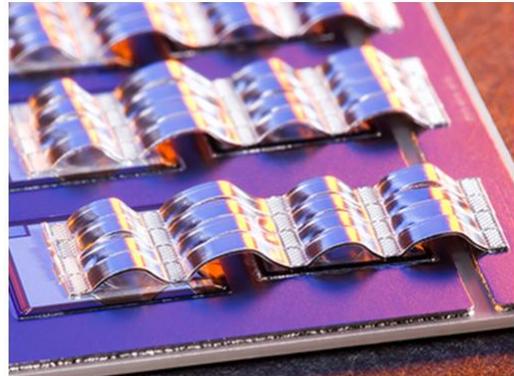
4.2.2.1 Aluminium Ribbons

Unter einer Ribbon-Verbindung ist ein gebondetes dünnes Bändchen zu verstehen, das mittels Kraft und Ultraschallenergie mit der Oberfläche eines Halbleiters verschweißt wird [37]. Aufgrund des hohen Querschnittes ersetzt ein Ribbon mehrere Bonddrähte, was in Bezug zur Taktzeit bei hochvolumigen Produktionen von Interesse sein kann. Ribbon-Bonds aus Aluminium mit einem Querschnitt von bis zu 2000 x 300µm finden in der Leistungselektronik bereits Einsatz. Mit verfügbaren Maschinen können diese Al-Bändchen nicht nur auf Substrat- und Rahmenanschlüsse gebondet werden, sondern

auch auf herkömmlich metallisierte Halbleiteroberflächen (siehe Abb. 4-10). Eine hohe Layout-Flexibilität wie beim Drahtbonden ist allerdings bei dieser Technologie nicht möglich, da der Verlauf der Ribbons nur sehr gradlinig realisiert werden kann.



Quelle: F&K Delvotec



Quelle: Kulicke & Soffa

Abb. 4-10: Aluminium Ribbons im System

Die Zuverlässigkeit verhält sich bei einem Al-Ribbon ähnlich wie eine dem Querschnitt entsprechende Anzahl an Al-Drähten, da das Interface und die Fehlermechanismen beider Systeme nahezu identisch sind. Da mit Hilfe eines Bändchens jedoch auch kleine Oberflächen mit hohen Querschnitten kontaktiert werden können, gibt es Applikationen, die durch den Umstieg von Draht auf ein Bändchen profitieren. Dank des höheren Querschnittes wird die thermische Performance und folglich die Zuverlässigkeit gesteigert. Darüber hinaus kann der Ribbon durch enge Stitch-Bondungen³ großflächig mit einer Halbleiteroberfläche verschweißt werden, wodurch ein geringer Durchlasswiderstand erzeugt werden kann [38].

4.2.2.2 Al beschichtete Cu-Drähte und Ribbons

Aluminiumbeschichtete Cu-Drähte oder -Bändchen befinden sich bereits seit vielen Jahren in der Entwicklung [39]. Ziel dieses Verfahrens ist, die guten Ultraschallschweißigenschaften von Aluminium mit den guten Leiteigenschaften von Kupfer zu kombinieren.

³ Stitch Bond = zusätzliche Verschweißungen zwischen der ersten und letzten Bondverbindung.

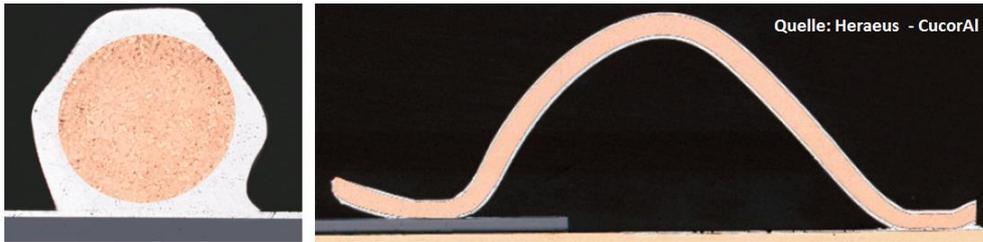


Abb. 4-11: Aluminium beschichteter Cu-Draht zum Bonden

Quelle: [40]

Der dünne Al-Mantel auf der Cu-Seele soll aufgrund der spröden Aluminiumoxidschicht für eine Bondbarkeit auf herkömmlichen Oberflächen sorgen. Somit lässt sich dieses Verfahren ebenfalls auf standardisierten Halbleitermetallisierungen anwenden. Die guten elektrischen Leiteigenschaften der Cu-Seele reduzieren die Verluste und führen daher bei gleicher Dimensionierung wie beim Al-Draht zu einer geringeren Temperaturentwicklung, was mit einem Anstieg der Zuverlässigkeit einhergeht. Neben der guten elektrischen trägt auch die gute thermische Leitfähigkeit dazu bei, die Leistungsdichte oder Sperrschichttemperatur durch die Verwendung dieser Drähte weiter zu erhöhen. [41]

Da die Verbindung zur Halbleitermetallisierung auf einer Al-Schweißzone basiert, sind bezüglich des Lastwechselverhaltens ähnliche Fehlermechanismen wie bei einem reinen Al-Draht zu erwarten. Ein Risswachstum in die Fügestelle wird nach endlicher Zeit zum Ausfall der Baugruppe führen. In der Veröffentlichung [42] wurde jedoch ein signifikanter Anstieg in der Lastwechselbeständigkeit durch die Verbunddrähte nachgewiesen.

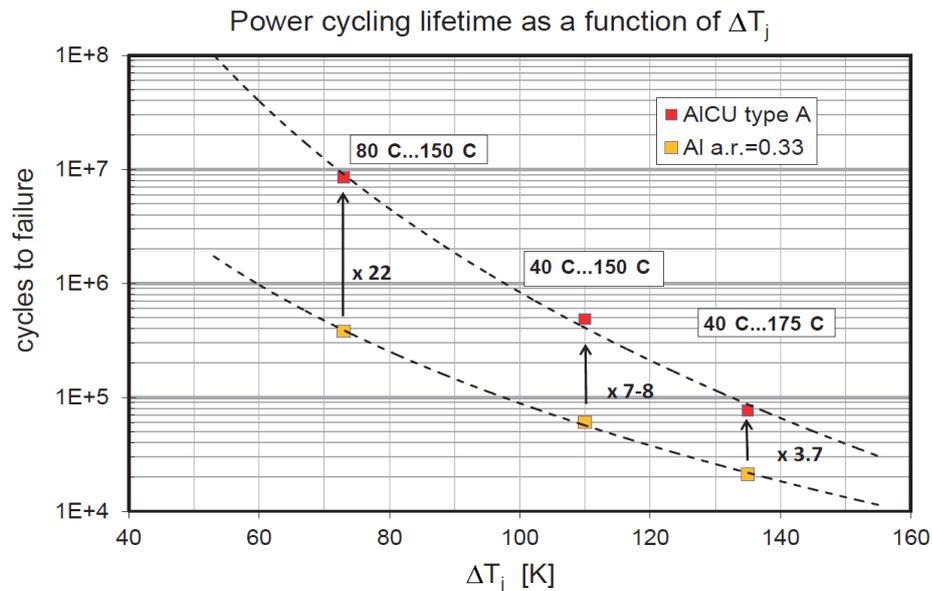


Abb. 4-12: Lastwechsellerggebnisse als Funktion von ΔT_j mit einem 300 μ m Al/Cu Draht.
Quelle: [42]

Neben den Al-beschichteten Cu-Drähten befinden sich auch Al-beschichtete Cu-Ribbons in der Entwicklung. Analog zum Draht werden auch in diesem Fall die Vorteile vom Al als Fügepartner im Ultraschallschweißprozess genutzt. Das Bändchen ist dabei einseitig mit einer dünnen Al-Schicht plattiert und wird gerne als „Al-Cu Ribbon“ oder „Al clad Cu Ribbon“ bezeichnet. Untersuchungen von Orthodyne haben bereits 2007 ergeben, dass diese Verbindung insbesondere unter der Belastung durch mechanische Schwingungen deutlich robuster als eine Al-Ribbon-Verbindung ist [43]. Darüber hinaus profitiert auch der Al/Cu - Ribbon von den Leiteigenschaften des Cu-Materials, führt allerdings bezüglich der Layout-Flexibilität zu Einbußen, da Winkeländerungen (S-Shape-Bondungen) im Bondprozess nur sehr begrenzt möglich sind.

4.2.2.3 Cu-Drähte und Ribbons

Kupferdrahtbonden gilt als sehr vielversprechende Möglichkeit, die Leistungsdichte zukünftiger Module weiter zu erhöhen. Die bessere thermische und elektrische Leitfähigkeit von Cu ermöglicht es, einen höheren Strom über die Bonddrähte zu führen. Die elektrische Leitfähigkeit von Cu ist um den Faktor $\sim 1,5$ höher als die von Aluminium (siehe Tabelle 3). Um bei Kupferdraht die gleiche Verlustleistung wie bei einem Aluminiumdraht zu ermitteln, muss man den quadratischen Einfluss des Stroms berücksichtigen:

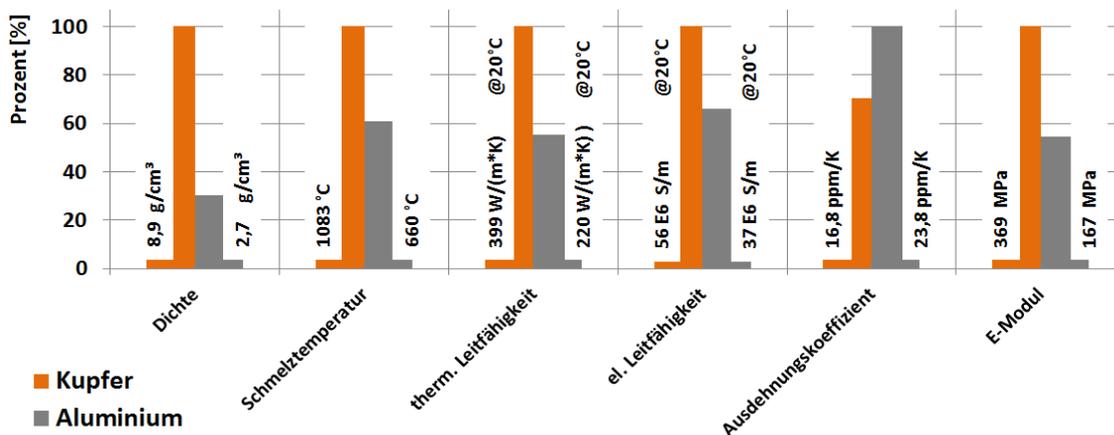
$$P_V = R_{Al} \cdot I^2 = R_{Cu} \cdot (I \cdot x)^2 \quad (7)$$

$$\sqrt{\frac{R_{Al}}{R_{Cu}}} = x \rightarrow x = 1,225 \quad (8)$$

Würde man den Strom also bei gleicher Bonddrahtgeometrie um 22,5% erhöhen, hätte man die gleiche Verlustleistung, die zu einer Wärmeentwicklung im Draht führt.

Da diese Energie dank der guten Wärmeleitfähigkeit schneller abgeführt werden kann als bei Al-Drähten, ließe sich der Strom für eine äquivalente Temperatur noch weiter erhöhen. Allein diese Tatsache verdeutlicht das große Potential von Cu als Bonddrahtwerkstoff.

Tabelle 3: Werkstoffvergleich Kupfer zu Aluminium. [44]



Die Betrachtung weiterer Stoffwerte ermöglicht eine Einschätzung der Zuverlässigkeit von Cu-Drähten in leistungselektronischen Modulen. So ist der Ausdehnungskoeffizient von Cu um 25% geringer als der von Al. Da die Drähte mit den Oberflächen der Halbleiter verschweißt werden sollen, deren Ausdehnungskoeffizient bei etwa ~3 ppm/K liegt, könnten die thermomechanischen Spannungen im System reduziert werden.

Ergebnisse des BMBF-Forschungsprojekts „WIRECOAT“ in den Jahren 2006-2009 [45] zeigen, dass das Bonden von Cu-Dickdrähten prinzipiell möglich ist, die zu bondenden Oberflächen jedoch weit höheren Kräften im Vergleich zum Al-Bonden ausgesetzt sind. Diese Eigenschaft ist auf den festen Cu-Werkstoff zurückzuführen. Die Härte des Drahtwerkstoffes hängt dabei im Wesentlichen von der Herstellung ab, da die Materialumformungen zu Spannungen im Gefüge und damit zu einem Anstieg der Härte füh-

ren. Die Firma Heraeus hat viel Erfahrung im Ziehen von Bonddrähten und arbeitet an Verfahren den Drahtwerkstoff weich zu glühen [40].

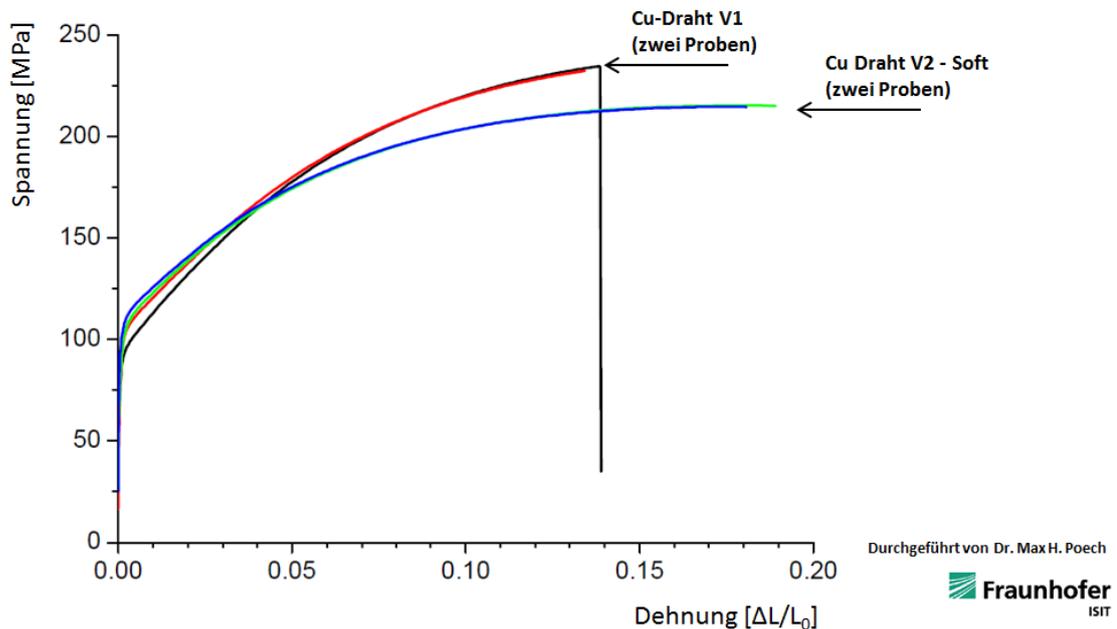


Abb. 4-13: Spannungsdehnungsdiagramm unterschiedlicher Cu-Drähte

Diese Entwicklung spiegelt sich auch in den Spannungs- / Dehnungsverläufen der unterschiedlichen Drahtgenerationen von Heraeus wider, wie es in der Abb. 4-13 zu sehen ist. Der weichere Draht (Cu Draht V2 – Soft) zeigt dabei ein besseres Bondverhalten hinsichtlich der Prozessschwankungen.

Cu benötigt einen weit höheren Energieeintrag für die Verschweißung mit dem Fügepartner (siehe Abb. 4-14). Hersteller von Bondautomaten arbeiten an neuen Maschinenplattformen, um die erhöhten Kräfte maschinenseitig zu ermöglichen. Dabei spielen zum einen Kraft und zum anderen Ultraschallenergie eine Rolle. Außerdem müssen auch die Bondtools und Spannvorrichtungen auf Verschleiß- und Dämpfungsverhalten (Schwingverhalten) analysiert werden.

Standard Prozessfenster 300µm Draht

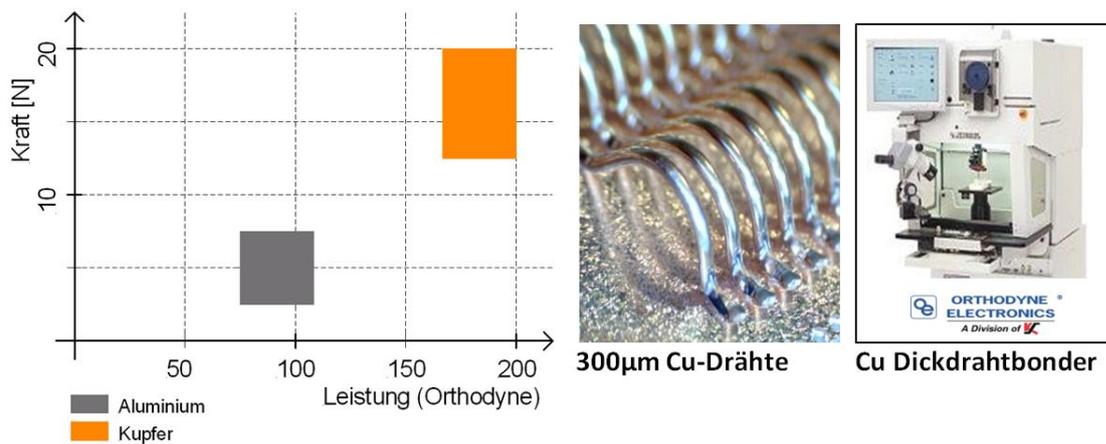


Abb. 4-14: Cu-Drahtbonden

Der Cu-Draht dringt aufgrund der hohen Kräfte im Bondprozess weit stärker in die Oberflächen ein, als es vom Al-Draht bekannt ist. Es ist eine hohe Touchdown-Kraft erforderlich, damit der feste Cu-Draht einen engen Formschluss mit dem Bondtool und der Oberfläche einght. Mit dem Zuschalten der Ultraschallenergie werden störende Oberflächenoxide verschoben, sodass sich die Fügepartner in den Wirkungsbereich der Van-Der-Waals-Kräfte annähern. Die hohe Ultraschallenergie und Kraft sind dabei erforderlich, da ein Cu-Draht nicht vom spröden Oxid eines Aluminiumdrahtes profitiert, der die Oberflächen durch Schleifeffekte aktiviert. Diese vorerst stark formschlüssige Verkrallung der Oberflächen führt im Laufe des Cu-Bondprozesses zu einer stoffschlüssigen Verbindungsbildung, die durch spezielle Ultraschallprofile (leistungsgeregelter Transducer) beschleunigt wird. Das Bonden auf DCB-Substratoberflächen ist mit aktuellem Maschinenequipment mit bis zu 500µm starken Cu-Drähten möglich, wobei allerdings noch viele Untersuchungen zum Verschleiß der Werkzeuge laufen.

Das Bonden von herkömmlichen Metallisierungen leistungselektronischer Halbleiter mit Cu-Dickdrähten ist nicht möglich, da diese Schichten den hohen Kräften im Cu-Bondprozess nicht standhalten und irreversible Schäden im Silizium entstehen.

In dem Projekt WIRECOAT [45] wurden daher unterschiedliche Halbleitermetallisierungen und Cu-Drähte erprobt, um eine zuverlässige Cu-Bondverbindung mit dem Halbleiter zu realisieren. Diese Cu-Metallisierungssysteme wurden nachträglich auf einem MOSFET abgeschieden (siehe Abb. 4-15). Es konnte gezeigt werden, dass eine starke Cu-Metallisierung den Halbleiter vor den hohen Bondprozesskräften (siehe Abb. 4-14)

schützt und man durch die Cu-Drahtkontaktierung eine hochzuverlässige Verbindung geschaffen hat.

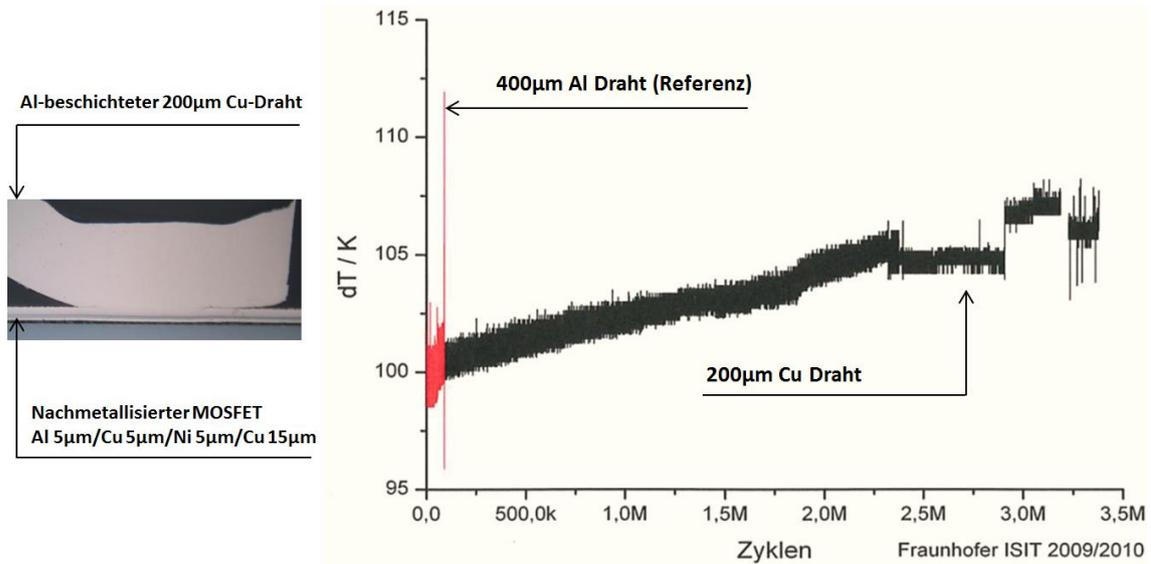


Abb. 4-15: Projekt WIRECOAT (links: Schliffbild; rechts: Lastwechseleergebnisse $\Delta T = 100^\circ\text{C}$, $t_{\text{on}} = 1\text{s}$, $T_{\text{low}} = 20^\circ\text{C}$, $T_{\text{high}} = 120^\circ\text{C}$, P_{Konstant})

Bei den Prüflingen der damaligen Lastwechseluntersuchungen wurde der Halbleiter auf das Substrat gesintert, damit eine frühzeitige Degradation einer Lotverbindung das Ergebnis nicht beeinflusste.

Darüber hinaus wird auch ein Bondprozess mit Cu-Ribbons entwickelt, bei denen an Stelle der Cu-Drähte direkt Cu-Bändchen (mit einer Geometrie wie sie bereits bei Al-Ribbons in Kapitel 4.2.2.1 beschrieben wurde) mit den relevanten Oberflächen verschweißt werden.



Abb. 4-16: 200µm starke Cu-Ribbons Quelle: [46]

Eine prinzipielle Machbarkeit konnte nachgewiesen werden, allerdings gibt es noch einige Defizite im Prozess, an deren Lösung weiter gearbeitet werden muss. Insbesondere das Schneiden des Bändchens nach einem Schweißprozess führt zu Problemen,

da hohe Kräfte und eine ungünstige Gratbildung zu Schäden an den Oberflächen führen können.

4.2.2.4 Bewertung und Fazit

Für die Chipoberseite lassen sich die verschiedenen Ultraschallschweißverfahren anhand eigener Kriterien bewerten. Dabei wird auch das Al-Dickdrahtbonds als Referenz berücksichtigt.

Tabelle 4: Vergleich unterschiedlicher Chip-Oberseitenkontaktierungen

	Al-Draht	Al-Ribbon	Al beschichteter Cu-Draht	Al beschichteter Cu-Ribbon	Cu-Draht	Cu-Ribbon
Zuverlässigkeit (+ gering, ++++ sehr hoch)	+	+	++	++	++++	++++
Hochtemperaturbeständigkeit (+ gering, ++++ sehr hoch)	++	++	++	++	+++	+++
elektrische & thermische Leiteigenschaften (+ gering, ++++ sehr hoch)	++	++	+++	+++	++++	++++
Verfügbarkeit Material & Equipment (+ sehr geringe, ++++ hohe Verfügbarkeit)	++++	+++	++	++	+++	++
Flexibilität im Layout (+ gering, ++++ sehr hoch)	++++	+	++++	+	++++	+
Anforderung an die Bondoberflächen (+++ gering, + sehr hoch)	++++	++++	+++	++	++	+

Im Wesentlichen unterscheiden sich die Kontaktierungen in der Geometrie und im Material des zu bondenden Werkstoffes. Der Standard in kommerziellen Leistungsmodulen ist ein gebondeter Al-Draht, der dank einer hohen Flexibilität (Draht lässt sich in alle Achsen biegen) und geringen Anforderungen an die zu kontaktierenden Oberflächen vielfältig eingesetzt wird.

Bezüglich der Zuverlässigkeit ist ein Al-gebondetes Modul jedoch durch Lift-Off der Drahtverbindungen begrenzt. Der Umstieg auf Al-beschichtete Cu-Materialien bringt einen Fortschritt in der Zuverlässigkeit, allerdings ist dieser weit geringer als durch den vollständigen Wechsel von Al auf Cu als Bondwerkstoff (sowohl beim Draht als auch beim Ribbon). Darüber hinaus ist auch eine deutliche Erhöhung der Leistungsdichte realisierbar, da die guten Leiteigenschaften von Cu im Vergleich zu Al Vorteile bringen. Diese Vorteile des Cu-Werkstoffes relativieren sich, wenn man berücksichtigt, dass herkömmliche Halbleitermetallisierungen für die Bondverfahren nicht kompatibel sind. Es sind starke Cu-Metallisierungen auf dem Halbleiter erforderlich, um im Schweißpro-

zess die hohen Kräfte zu absorbieren (Kapitel 4.2.2.3). Dieses gilt besonders beim Bonden von Cu-Ribbons, da das Risiko einer ungünstigen Gratbildung (nach dem Schneiden des Ribbons im Bondprozess) die Wahrscheinlichkeit eines Defektes erhöht. Der Grat verläuft senkrecht nach unten am abgeschnittenen Ribbon und kann beim Bonden der nächsten Verbindung Probleme bereiten.

Für das eigene hochzuverlässige Leistungsmodul wird in dieser Arbeit auf das Cu-Drahtbonden gesetzt, da es neben der enormen Zuverlässigkeit auch eine hohe Designflexibilität ermöglicht, wie man es vom Al-Drahtbonden gewohnt ist. Die Cu-Drahtbondautomaten können einfach in bestehende Fertigungslinien implementiert werden, sodass die industrielle Akzeptanz hinsichtlich dieses neuen Prozesses als hoch eingestuft werden kann. Damit das Cu-Drahtbonden keine Schäden in den sensiblen Halbleiteroberflächen verursacht, sollen die Chipoberflächen durch ein Cu-Plättchen geschützt werden.

4.3 Modulkonzepte für Hochzuverlässige Anwendungen

Für die Entwicklung eines eigenen hochzuverlässigen Leistungsmoduls erschien es sinnvoll, zu recherchieren, welche Konzepte bereits durch die Forschungsergebnisse der Industrie publiziert wurden. Dabei werden zum Teil die beschriebenen Verbindungstechnologien (Kapitel 4.2) in dafür modifizierte Module implementiert. Es finden sich jedoch auch ganz neue Ansätze im Moduldesign, die sich von dem Aufbau konventioneller Module deutlich unterscheiden und den Stand der Technik sowohl bezüglich der elektrischen und thermischen Eigenschaften als auch der Zuverlässigkeit übertreffen sollen. Die folgenden Kapitel zeigen die wesentlichen Konzepte, deren Entwicklungsstand, wie die bisherigen Veröffentlichungen nahelegen, weit vorangeschritten ist. Im Anschluss kann dann ein qualitativer Vergleich mit der BondBuffer-Technologie in dieser Arbeit vorgenommen werden.

4.3.1 Moldmodul von Mitsubishi

Mitsubishi hat im Jahr 2011 ein Powermodul vorgestellt, bei dem der oberseitige Chipkontakt mit einer Cu-Schiene (Leadframe) verlötet ist [47]. Diese großflächige Anbindung mit der Bezeichnung DLB Technology (Direct Lead Bonding) soll einen wesentlichen Beitrag zur Steigerung der Lastwechselzuverlässigkeit leisten. Das Modul ist mit einer Mold-Masse umhüllt, die in Kombination mit einem neu entwickelten Substrat für einen Anstieg der thermomechanischen Performance verantwortlich sein soll.

„First, the DLB technology maintains a more than 10 times longer power cycling life time for a temperature swing of $\Delta T_j=100^\circ\text{C}$. Second, the newly developed TCIL successfully reduces the thermal conductance of an entire module.“ [48]

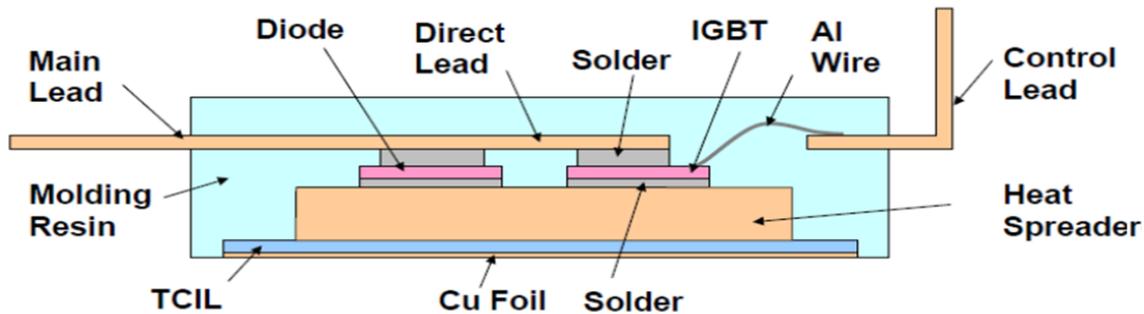


Abb. 4-17: Charakteristischer Aufbau vom Mitsubishi Moldmodul Quelle: [47]

Als Potentialtrennung wurde eine TCIL-Schicht (Thermally Conductive Insulation Layer) entwickelt, die wiederum mit einer dünnen Cu-Schicht unterseitig laminiert ist. Dieser Aufbau wurde von Mitsubishi einem Temperaturwechseltest (TW-Test) unterzogen von -40°C bis 150°C . Nach 7000 Zyklen wurde eine Delamination der Lotverbindung (Chip – Substrat) von etwa 10% gemessen, was im Vergleich zu DCB-Modulen ein enormer Anstieg der TW-Beständigkeit darstellt.

Da die Wärmeleitfähigkeit von temperaturbeständigen Folien deutlich geringer ist als jene von keramischen Werkstoffen, wurde oberseitig eine starke Kupferschicht eingebunden (siehe Abb. 4-17) in der sich die Wärmeenergie lateral spreizen kann. Das vergrößert die effektive Kontaktfläche für den Wärmetransport in vertikaler Richtung. Dieser Aufbau soll im $R_{th\,JC}$ -Vergleich äquivalent zu einem Bodenplattenmodul mit AlN (Aluminiumnitrid) -DCB sein, allerdings deutliche Vorteile in der thermischen Impedanz bringen. Der thermische Widerstand $Z_{th\,JC}$ soll bei einer Zeit von 100ms um 35% geringer sein als das Bodenplattenreferenzmodul. Dies ist auf die hohe thermische Kapazität des Cu-Spreizers zurückzuführen, die der Wärmequelle sehr nahe ist. Darüber hinaus wird vermutlich auch eine beträchtliche Menge an Wärmeenergie über die oberseitigen Kontaktflächen abgeführt, was sowohl den Z_{th} als auch den R_{th} positiv beeinflussen sollte.

Die flachen, gelöteten Kontaktflächen sollen laut Mitsubishi auch die Eigeninduktivität des Moduls um 40% absenken im Vergleich zum Al-Draht-gebundenen Referenzmodul. Zugleich werden die Durchlassverluste reduziert, da die großen Anbindungsflächen die ohmschen Verluste herabsetzen [47].

4.3.2 SiPLIT von Siemens

Die SiPLIT (Siemens Planar Interconnect Technologie) wurde bereits 2011 auf der IPAC in einem Gleichrichtermodul präsentiert. Ein besonderes Merkmal ist, dass keine Bonddrähte in dem Modul zu finden sind, da die oberseitige Kontaktierung der unterschiedlichen Potentialflächen (Halbleiter und DCB) durch eine galvanisch aufgetragene Cu-Schicht realisiert wird. Eine weit detailliertere Veröffentlichung zu der Technologie hat Siemens auf der CIPS-Konferenz in Nürnberg 2012 vorgestellt [49].

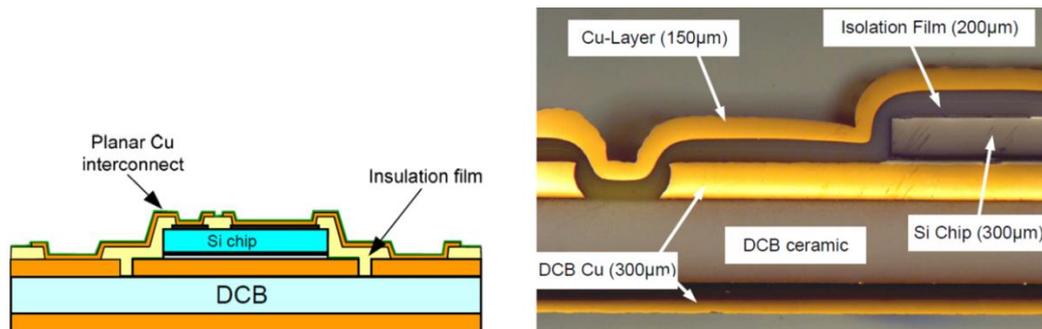


Abb. 4-18: SiPLIT (links: Skizze rechts: Schliffbild) Quelle: [49]

Für diese Technologie sind mehrere Prozessschritte erforderlich, deren Verwendung in der Fertigung von kommerziellen Leistungsmodulen weitestgehend unbekannt ist. Die Fertigung der planaren Technologie startet mit einem Laminierprozess, bei dem eine Isolationsfolie vollflächig auf ein mit Halbleitern bestücktes Substrat laminiert wird. Danach werden die zu kontaktierenden Flächen mittels eines Lasers geöffnet.

Eine dünne Sputter-Schicht wird dann auf die strukturierte Folie abgeschieden, die als Basis für einen galvanischen Cu-Beschichtungsprozess dient. Durch Fotolithographie wird nun ein Schaltungslayout auf die gesputterte Oberfläche aufgetragen. Dadurch lassen sich nur die laststromtragenden Pfade durch das galvanische Abscheiden von Cu beschichten. Laut Siemens können dadurch Schichtstärken von 50µm bis 300µm realisiert werden. Am Ende sind noch nasschemische Rückätzprozesse erforderlich. Bei der Verbindung zwischen den Halbleitern und dem Substrat hat man sich nicht auf eine Technologie festgelegt. SiPLIT kann sowohl auf gelöteten, gesinterten oder auch diffusionsgelöteten Halbleitern angewendet werden. [49]

Anhand von Vergleichsmessungen wurde gezeigt, dass der Durchlasswiderstand R_{on} eines SiPLIT-Moduls um 30% geringer ist als der eines drahtgebondeten Referenzmoduls. Dieses positive Verhalten ist auf die großen Anbindungsflächen und hohen Querschnitte zurückzuführen. Siemens nennt eine mögliche Anbindungsfläche der oberseitigen Halbleitermetallisierung von bis zu 90%. Darüber hinaus wird gezeigt, dass die

planare Technologie die Streuinduktivität signifikant reduziert. Eine um 50% geringere Induktivität zwischen SiPLIT und einem Al-Draht-Referenzaufbau konnte nachgewiesen werden. [49]

Die gute Wärmeleitfähigkeit von Cu sorgt außerdem dafür, dass eine beträchtliche Menge an Wärmeenergie oberseitig aus dem Halbleiter abgeführt und entsprechend die thermische Impedanz Z_{th} und der thermische Widerstand R_{th} positiv beeinflusst werden. Eine Vergleichsmessung zwischen SiPLIT- und Standard-Modulen (Al-Draht) zeigt einen um 20% reduzierten R_{th} . [49]

Ein Anstieg der Zuverlässigkeit ist auf Grund der besseren thermischen Performance zu erwarten. Siemens hat ein 600V/100A-SiPLIT-Modul im Lastwechseltest geprüft und eine Zyklenzahl von 230.000 ($\Delta T_j = 80K$, $T_{jmin}=95^\circ C$, $T_{jmax}=175^\circ C$) erreicht. Der Ausfall soll dabei auf das Versagen der Lotverbindung zurückzuführen sein, wobei der Cu-Oberseitenkontakt unbeschadet geblieben ist.

4.3.3 SKiN Technologie von Semikron

Die SKiN-Technologie wurde von Semikron auf der PCIM-Konferenz in Nürnberg 2011 vorgestellt [50]. Der wesentliche Unterschied zu herkömmlichen Modulen ist die Verwendung der Sintertechnologie in Kombination mit einer zusätzlichen flexiblen Leiterplatte. Die flexible Leiterplatte trägt unterseitig den Laststrom und ermöglicht es, auf der potentialgetrennten Oberseite Steuersignale zu führen (siehe Abb. 4-19). Die Potentiale der Leiterplatte sind durch die Sintertechnologie stoffschlüssig mit den relevanten Potentialen der DCB und den Halbleiteroberflächen verbunden. [50] [51]

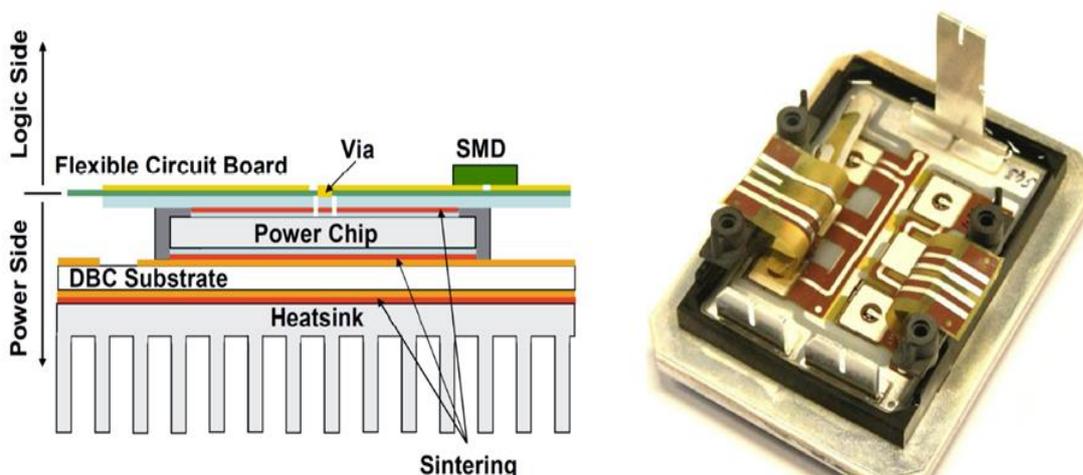


Abb. 4-19: SKiN Technologie

Quelle: [51]

Orientiert man sich an der Veröffentlichung von der CIPS 2012, dann kann man von mehreren Halbzeugen (siehe Abb. 4-20) sprechen, die zueinander ausgerichtet werden müssen, bevor die eigentlichen Verbindungsprozesse stattfinden.

Die Halbleiter werden durch die Sinterertechnologie stoffschlüssig mit dem Substrat verbunden. Dann wird ein aushärtender Isolationswerkstoff aufgetragen, der die Kanten der Halbleiter in den Folgeprozessen schützt und darüber hinaus eine Potentialtrennung zu der flexiblen Leiterplatte darstellt. Im Anschluss werden die flexible Leiterplatte und die Terminals zum Substrat ausgerichtet und durch einen Sinterprozess gefügt (siehe Abb. 4-20).

Unterseitig erhält das Modul eine gesinterte Bodenplatte, die mit Pin-Fin-Strukturen versehen ist. Nach der Montage auf einen geeigneten Kühler werden diese Strukturen direkt vom Kühlmedium umflossen.

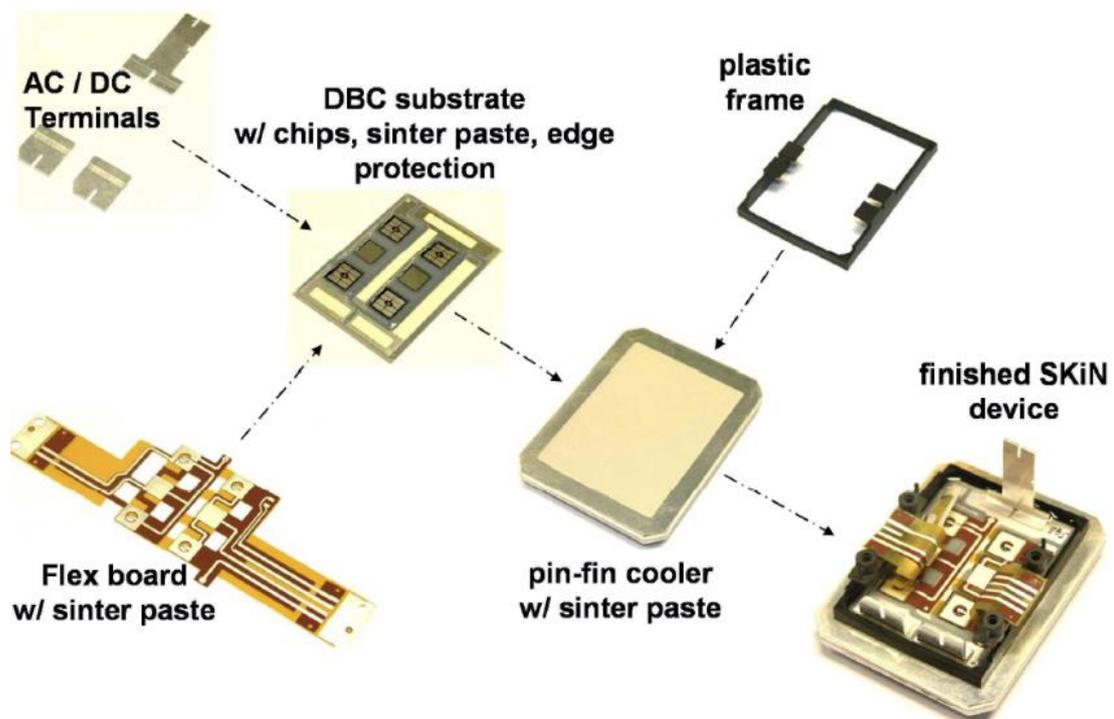


Abb. 4-20: Explosionsansicht eines SKiN Moduls. Quelle: [51]

Dieses Modul ermöglicht durch den guten Wärmeübergangskoeffizienten zum Kühlmedium einen sehr geringen $R_{th\ j-w}$. Darüber hinaus kann die Streuinduktivität im Modul dank der planaren Oberseitenkontaktierung reduziert werden. [51]

Laut Semikron verfügt das Modul über eine hohe Zuverlässigkeit, was vermutlich auf den Verzicht von Al-Drähten und den Umstieg von Lot- zu Sinterverbindungen zurück-

zuführen ist. Diese Aussage basiert auf unterschiedlichen Lastwechseluntersuchungen, die von Semikron veröffentlicht wurden:

“Active power cycling tests were performed on samples of the new technology with different test conditions. SKiN devices have survived 700,000 power cycles in tests with $\Delta T_j=110K$ ($T_{jmin}=40^\circ C$, $T_{jmax}=150^\circ C$) and thus have outnumbered the best results of architectures with Al wire bonds by a factor of 10.” [51]

Auf der CIPS-Konferenz 2014 in Nürnberg hat Semikron eine Weiterentwicklung der SKiN-Technologie präsentiert, bei der die flexible Leiterplatte über weitere Laststromebenen verfügt [52]. Diese 3D-SKiN-Technologie (siehe Abb. 4-21) soll es ermöglichen, die parasitäre Induktivität weiter zu reduzieren und die Leistungsdichte durch neue Freiheitsgrade im Design weiter zu erhöhen. Diese Aussagen werden durch unterschiedliche Simulationen in derselben Veröffentlichung untermauert.

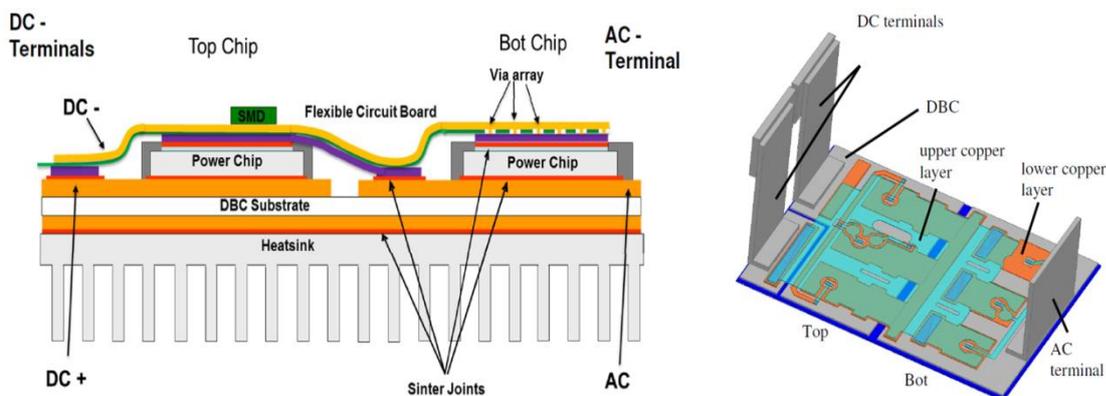


Abb. 4-21: Schematische Darstellung der 3D SKiN Technologie Quelle: [52]

4.3.4 Green Pack von Fuji

Die Firma Fuji hat auf der PCIM 2014 ein neues Modulkonzept präsentiert, das sich durch eine hohe Zuverlässigkeit und Leistungsdichte von den kommerziellen Modulen absetzen soll. [53] [54]

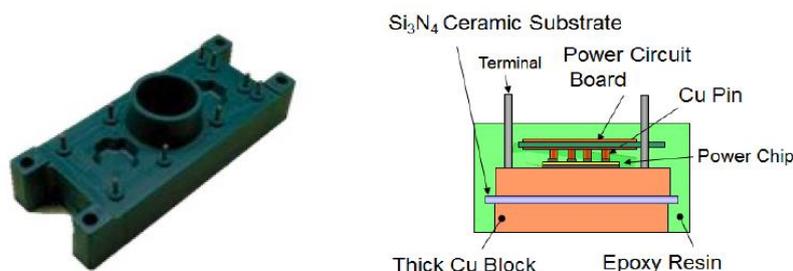


Abb. 4-22: Green Pack (links: Modulansicht, rechts: Querschnittsskizze) Quelle: [53]

Es basiert auf einem innovativen Systemdesign, bei dem laut Fuji die Streuinduktivität im Vergleich zum klassischen Modul um 80% reduziert werden kann. Das Substrat basiert auf einer Si_3N_4 (Siliziumnitrid) -Keramik mit einem sehr geringen Ausdehnungskoeffizienten von 3,4 ppm/K, welche beidseitig mit 1mm Cu beschichtet ist (siehe Abb. 4-22). Die Wärmeenergie wird durch die starke Cu-Schicht effektiv in die Fläche gespreizt und durch die Wärmeleitfähigkeit der Keramik von 90 W/(mK) effektiv in Richtung des Kühlers übertragen (Stoffwerte in folgender Referenz ermittelt: [55]). Die thermische Impedanz kann durch die Kapazität des Cu-Layers um 20% reduziert werden (bei kurzen Zeiten von etwa 100ms). [53]

Das kompakte Modul basiert auf einem 1200V Reverse Conducting IGBT (RC-IGBT), der von einem bis 200°C beständigen Mold umgossen ist. Das soll den Stress auf die Verbindungsschichten reduzieren und trotz des Verzichts auf eine Bodenplatte für einen robusten Aufbau sorgen. Der auf das Substrat gelötete Halbleiter ist oberseitig mit Cu-Stiften kontaktiert, die den Strom über ein oberes Schaltungslayout aus dem Verguß führen (siehe Abb. 4-22). Die aktive Lastwechselzuverlässigkeit wurde im Vergleich zu einem konventionellen Modul präsentiert.

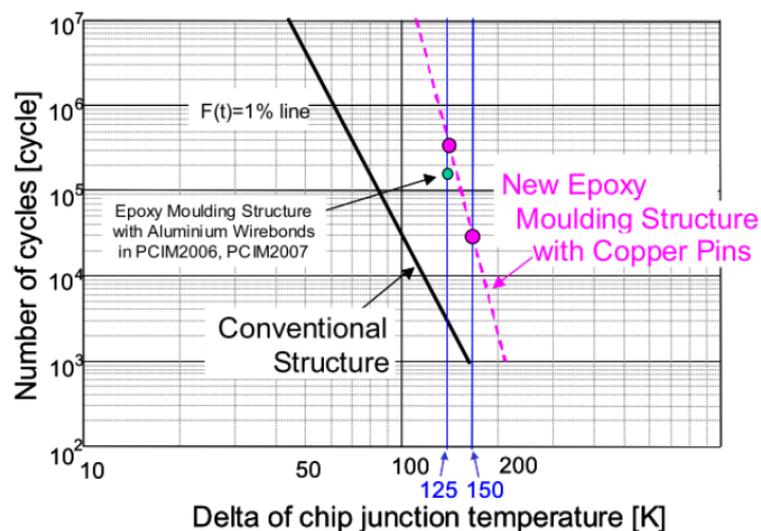


Abb. 4-23: Green Pack - Lastwechselvergleich Quelle: [54]

4.3.5 .XT-Technologie von Infineon

Die Firma Infineon hat auf der PCIM 2010 in Nürnberg eine neue Modulgeneration vorgestellt, die den Namen .XT trägt [56]. Es soll sich dabei um einen hochzuverlässigen Aufbau mit Cu-gebondeten Halbleitern handeln. Eigens dafür entwickelt Infineon eine neue Halbleitergeneration, deren Oberflächenmetallisierung aus einer dicken Cu-Schicht besteht. Diese Metallisierungsschicht muss die hohen Kräfte beim Cu-

Drahtbonden absorbieren, um das Halbleitermaterial vor Brüchen zu schützen (siehe Kapitel 4.2.2.3). Außerdem hat Infineon angekündigt, für die Verbindung zwischen Halbleiter und Substrat auf das Diffusionslötten zu setzen [25]. Dabei wird in einem angepassten Lötprozess ein Kupfer-Zinn-Lot nahezu vollständig in zwei hochschmelzende intermetallische Phasen (Cu_6Sn_5 und Cu_3Sn) umgewandelt. Diese äußerst dünne Verbindungsschicht $< 10\mu\text{m}$ hat eine Schmelztemperatur von mehr als 400°C (siehe Kapitel 4.2.1.1).

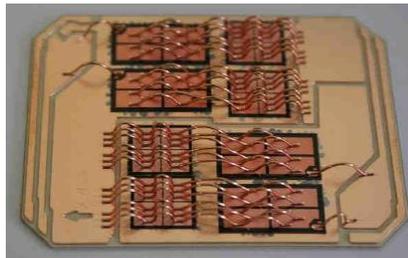


Abb. 4-24: 400 μm Cu-Drähte auf Cu-metallisiertem Halbleiter - .XT - Quelle: [25]

Um die Zuverlässigkeit des gesamten Moduls zu steigern, hat Infineon noch die Lotverbindung zwischen Substrat und Bodenplatte optimiert. Laminare intermetallische Phasen, die sich senkrecht in der Verbindung ausbilden, sollen höheren thermomechanischen Spannungen standhalten und somit das Wachsen von Haarrissen reduzieren.

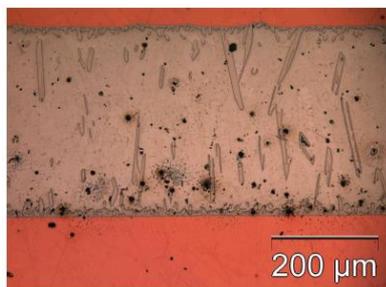


Abb. 4-25: Schliff Systemlot mit senkrechten nadelförmigen Kristallen. Quelle: [25]

Bezüglich der Zuverlässigkeit hat Infineon aktuelle Lastwechselergebnisse auf der CIPS 2014 präsentiert [35], die die Aussage bezüglich der Zuverlässigkeit von 2010 stützen:

„By the measures the active power cycling lifetime of IGBT modules without baseplate has been increased by almost two orders of magnitude without reaching the end of life limit for any of the new technologies.

By the application of the improved system soldering for baseplate modules the lifetime could still be extended by more than a factor of ten.”

[25]

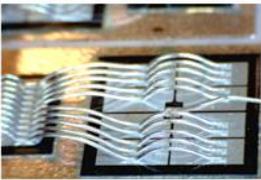
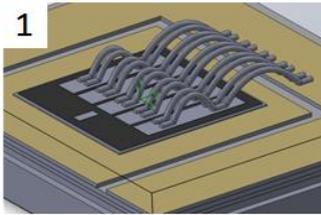
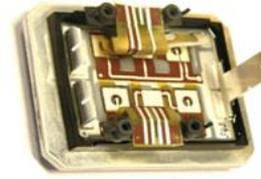
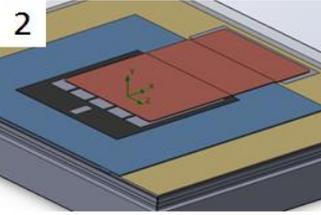
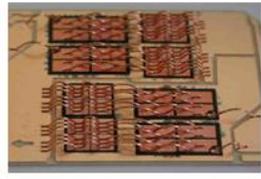
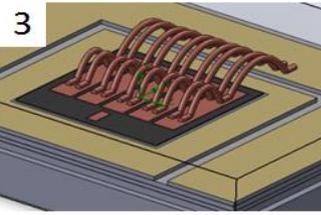
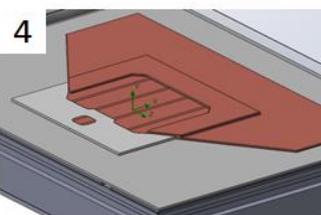
4.3.6 Thermische FEM-Simulationen zu den unterschiedlichen Konzepten

Um die thermischen Eigenschaften der unterschiedlichen Konzepte unter gleichen Randbedingungen prüfen zu können, wurde die Simulationssoftware „SolidWorks Flow Simulation“ verwendet und die charakteristischen Merkmale der vergleichbaren Konzepte wurden auf die jeweiligen Simulationsmodelle übertragen. Bei den Vergleichen wurde immer auch ein Aufbau mit der entsprechenden Standardtechnologie berücksichtigt, um eine Verbesserung im thermischen Verhalten ersichtlich zu machen.

4.3.6.1 Vergleich der Bodenplattenmodule

Unter den vorgestellten Modulkonzepten (siehe Kapitel 4.3) sind einige für den Aufbau von Bodenplattenmodulen vorgesehen. Um diese in einer Simulation vergleichen zu können, wurden die entsprechenden Technologien an einer vergleichbaren Plattform angewendet.

Tabelle 5: Übersicht der Bodenplattenvarianten für die FEM-Simulationen

Aufbaukonzepte	Übertragene Modelle mit spezifischen Merkmalen*	
 <p>Standard - STD</p>	 <p>1</p>	<ul style="list-style-type: none"> - Al-Drähte -> 400µm - Chip 650V_300A_10,6x10,6mm -> 90µm - Chipplot -> 100µm - DCB -> Cu 300µm Al2O3 380µm Cu 300µm - Systemlot -> 500µm - Bodenplatte -> 3mm
 <p>Semikron - SKIN</p>	 <p>2</p>	<ul style="list-style-type: none"> - Chip & DCB & Bodenplatte wie bei 1 - Cu-Layer -> 70µm - NTV überm Chip -> 20µm - Anbindungsfläche des Cu-Layers zum Emitter ~55% - NTV unterm Chip -> 20µm - NTV zur Bodenplatte -> 200µm
 <p>Infineon - .XT</p>	 <p>3</p>	<ul style="list-style-type: none"> - Chip & DCB & Bodenplatte wie bei 1 - Cu-Chipmetallisierung -> 25µm - Cu Drähte -> 400µm - Diffusionslot unterm Chip -> 10µm - Systemlot -> 500µm
 <p>Siemens - SiPLIT</p>	 <p>4</p>	<ul style="list-style-type: none"> - Chip & DCB & Bodenplatte wie bei 1 - Cu-Layer -> 150µm - Anbindungsfläche des Cu-Layers zum Emitter ~85% - Isolationsfilm -> 200µm - Lot unterm Chip -> 80µm - Systemlot -> 500µm

*die Merkmale jeder Technologie wurden aus Veröffentlichungen recherchiert. Da nicht alle Designdaten zur Verfügung standen, mussten teilweise realistische Annahmen getroffen werden.

Alle Modelle basieren auf einem DCB-Substrat mit einer Al_2O_3 -Keramik und einer 3 mm starken Bodenplatte aus Cu. Ein fester Wärmeübergangskoeffizient von $5000 \text{ W}/(\text{m}^2 \text{ K})$ wurde auf der Unterseite der Bodenplatte definiert, der einem realistischen Wasserkühler entspricht. Das Netz für die Finite-Elemente-Berechnung (FEM) wurde jeweils auf einen Bruchteil der kleinsten Strukturen ausgelegt, um die Unterschiede der dünnen Verbindungsschichten auflösen zu können. Als Wärmequelle wirkte in allen Modellen eine konstante Verlustleistung über einer Fläche, die über die Sperrschicht des Halbleiters aufgespannt wurde. Die Simulation basiert auf einem bekannten Halbleiter, dessen Verlustleistung für unterschiedliche Ströme bekannt ist. Eine Verlustleistung von 350 W bei einem Strom von 250 A entspricht etwa den realen Verhältnissen. Auch der Strompfad auf der Chipoberseite wurde in der Simulation definiert, wodurch die ohmschen Verluste der Chipoberseitenkontaktierung berücksichtigt werden konnten.

Als Simulationsziel wurde der $Z_{\text{th},vj-C}$ Verlauf definiert, der den thermischen Widerstand zwischen der Sperrschicht (vj) und der Bodenplatte (C) erfasst:

$$Z_{th}(t) = \frac{T_{vj}(t) - T_C(t)}{P_j(t)} \quad (9)$$

Untersuchungen von Scheuermann und Schmidt haben gezeigt [57], dass die virtuelle Junktions­temperatur eines Halbleiters etwa um 33% der Temperaturdifferenz zwischen T_{max} und T_{min} (auf der Halbleiterdiagonalen) unterhalb der maximalen Temperatur liegt.

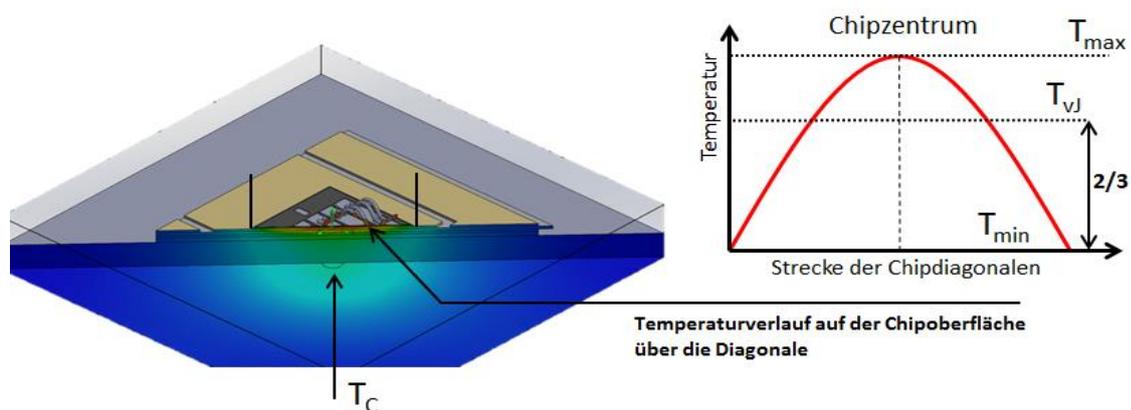


Abb. 4-26: Skizze zu der virtuellen Junktions-Temperatur T_{vj} im Simulationsmodell

Die Bodenplattentemperatur T_C wurde zentral unter dem Halbleiter ermittelt. Da die senkrechten Schnittkanten des Modells als adiabatische Grenzbereiche definiert wur-

den, hat die Größe der Bodenplatte einen starken Einfluss auf die Sperrschichttemperatur. Die Abmaße wurden so lange erhöht, bis keine signifikante Änderung mehr festzustellen war.

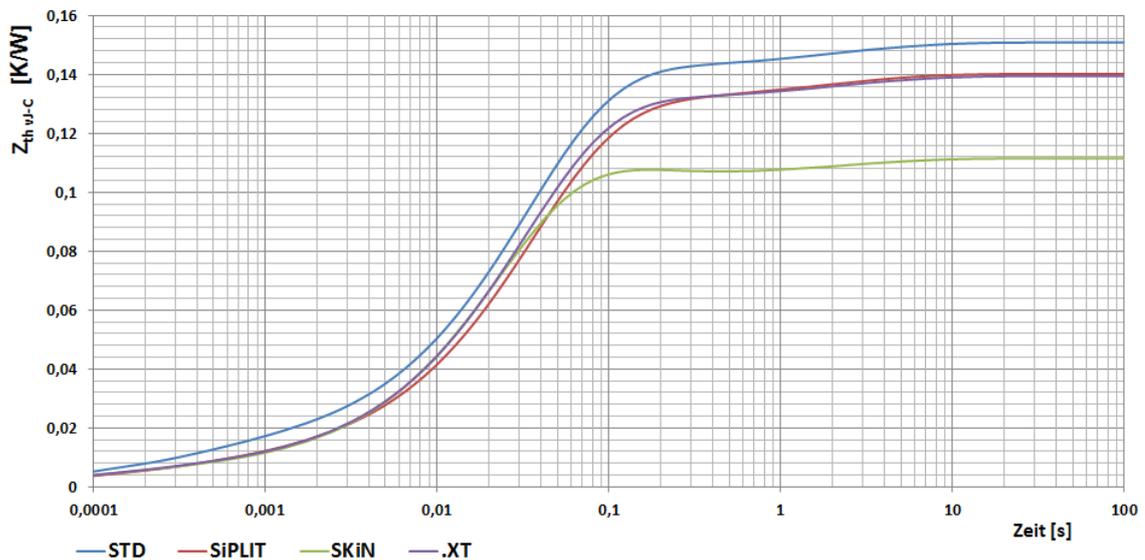


Abb. 4-27: Zth Verläufe der unterschiedlichen Modulkonzepte (mit Bodenplatte)

Die Ergebnisse zeigen eindeutig eine Verbesserung gegenüber dem Stand der Technik (STD).

Besonders die SKiN-Technologie zeichnet sich mit einem sehr geringen R_{th} im eingeschwungenen Zustand aus. Das ist auf die thermisch gut leitenden Sinterverbindungen zurückzuführen, die für eine optimale Wärmeabfuhr sorgen. Besonders die dünne Sinterverbindung zwischen dem Substrat und der Bodenplatte als Substitut für eine Lotverbindung bringt im eingeschwungenen Zustand eine deutliche Verbesserung im R_{th} . Darüber hinaus wird ein Teil der Wärmeenergie über die gesinterte Cu-Lasche auf der Oberseite (Anbindungsfläche zum Emitter sind 55%) abgeführt.

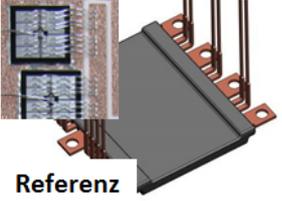
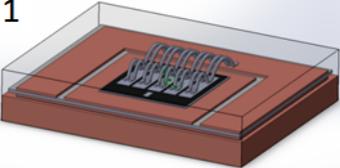
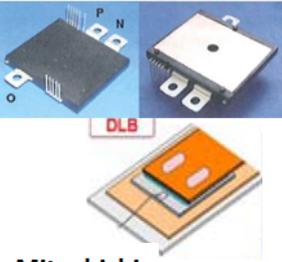
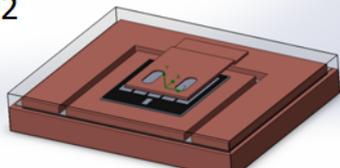
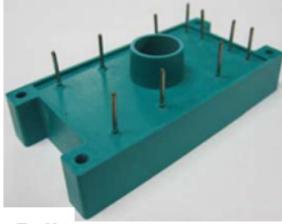
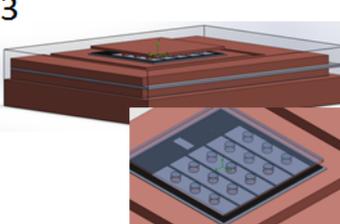
Bei der SiPLIT ist aufgrund des massiven Cu-Querschnittes auf der Oberseite des Halbleiters zwischen 10 und 40ms der geringste Z_{th} festzustellen. Das Cu-Material kontaktiert 85% der Emitter-Fläche und ist somit besonders bei kurzen Lastpulsen ein effektiver Wärmespeicher. Außerdem wird auch ein Teil der Wärmeenergie im eingeschwungenen Zustand über den Kupferlayer abgeführt, wodurch ein besseres R_{th} als bei der Standardtechnologie erzielt werden kann. Sollte Siemens dieses Konzept mit der Sinter- oder Diffusionstechnologie kombinieren, wäre noch einmal eine deutliche Verbesserung im R_{th} zu erwarten.

Die .XT-Technologie zeigt durch die dünne Diffusionslotschicht zwischen Halbleiter und Substrat einen geringeren R_{th} als das Standardmodul. Das Systemlot, wie es in der Simulation angenommen wurde, stellt bei dem Infineon-Aufbau jedoch einen deutlich höheren thermischen Widerstand dar als die Sinterverbindung von Semikron.

4.3.6.2 Vergleich der Moldmodule

Die präsentierten Technologien von Mitsubishi und Fuji basieren auf einem Moldmodul, das unterseitig mit dem potentialgetrennten Substrat abschließt. In diesen leistungselektronischen Modulen ist keine massive Bodenplatte verbaut, wodurch geringe Modulhöhen von unter 10mm möglich sind. Im Betrieb werden diese Module durch eine dünne Wärmeleitfolie oder -paste mit einer Kühlplatte kontaktiert, um die Wärmeenergie senkrecht nach unten abzuführen.

Tabelle 6: Übersicht der unterschiedlichen Modellspezifikationen für die thermischen FEM Simulationen - Moldmodule

Aufbaukonzepte	Übertragene Modelle mit spezifischen Merkmalen*	
 <p>Referenz</p>	<p>1</p> 	<ul style="list-style-type: none"> - Al-Drähte -> 400µm - Chip 650V_300A_10,6x10,6mm -> 90µm - Chiplot -> 100µm - Substrat -> Cu 300µm Al₂O₃ 380µm Cu 300µm - Wärmeleitfolie -> 70µm; 2W/(m*K) - Kühlplatte -> 3mm
 <p>Mitsubishi</p>	<p>2</p> 	<ul style="list-style-type: none"> - Chip & Wärmeleitfolie & Kühlplatte wie bei 1 - Cu-Layer -> 300µm - Lot überm Chip -> 90µm - Anbindungsfläche des Cu-Layers zum Emitter ~95% - Lot unterm Chip -> 100µm - Substrat -> Cu 1000µm ; Folie 100µm 10W/(m*k) Cu 100µm
 <p>Fuji</p>	<p>3</p>  <p>15 x 750µm Ø</p>	<ul style="list-style-type: none"> - Chip & Wärmeleitfolie & Kühlplatte wie bei 1 - Cu-Layers -> 300 Kontaktflächen: 15 x 750µm Ø - Lot unterm Chip -> 100µm - Substrat -> Cu 1000µm ; Si₃N₄ 300µm 90W/(m*k) Cu 1000µm

*die Merkmale jeder Technologie wurden aus Veröffentlichungen recherchiert. Da nicht alle Designdaten zur Verfügung standen, mussten teilweise realistische Annahmen getroffen werden.

Jede Simulationsbaugruppe basiert auf einer 3mm starken Kühlplatte, die durch eine Wärmeleitpaste an das Substrat angekoppelt ist. Analog zu den Gegebenheiten bei den Simulationsbaugruppen der Bodenplattenmodule (siehe Kapitel 4.3.6.1) wurde auch hier ein Wärmeübergangskoeffizient von $5000\text{W}/(\text{m}^2\text{K})$ auf der Unterseite der Baugruppe definiert. Der Einfluss auf die thermische Impedanz der variierenden Technologien soll über den $Z_{\text{th vj-c}}$ ermittelt werden. Dabei werden sowohl die halbleiternahen Verbindungstechnologien als auch die unterschiedlichen Substrate berücksichtigt.

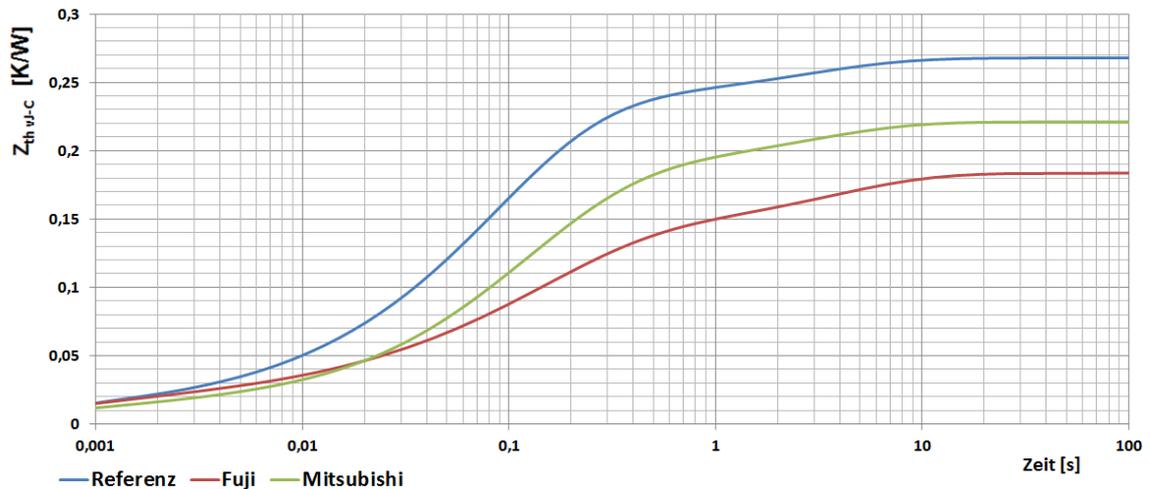


Abb. 4-28: Z_{th}-Verläufe der unterschiedlicher Moldmodule

Die Ergebnisse zeigen sowohl im dynamischen als auch im statischen Wärmewiderstand eine deutliche Verbesserung gegenüber dem Referenzmodul. Im eingeschwungenen Zustand zeigt der Fuji-Aufbau den geringsten R_{th} , was vermutlich auf die gut wärmeleitende Si_3N_4 -Keramik zurückzuführen ist. Außerdem wird unterhalb der Keramik durch eine starke Cu-Schicht von $1000\mu\text{m}$ bei dem Fuji-Modul die Wärme effektiv gespreizt, bevor diese über die schlechtleitende Wärmefolie an den Kühler übertragen wird.

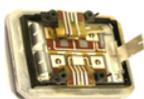
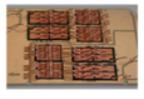
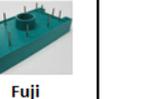
4.3.7 Bewertung und Fazit

Entsprechend den veröffentlichten Informationen zeigen die vorgestellten Modulkonzepte (siehe Kapitel 4.3) deutliche Vorteile gegenüber dem Stand der Technik. Bezüglich der Zuverlässigkeit haben alle Hersteller Zahlen publiziert, aus denen ein signifikanter Anstieg der Lastwechselbeständigkeit hervorgeht. Die Zahlen der unterschiedlichen Aufbauten sind dabei jedoch nicht untereinander vergleichbar, da die Testbedingungen und -strategien (siehe auch Kapitel 3.2.1 „Unterschiedliche Regelstrategien beim Lastwechseltest“) variieren.

Darüber hinaus sind die Konzepte von verschiedenen Zielen beeinflusst worden, die zum Beispiel zu einer geringen Streuinduktivität des Moduls führen. Sowohl die Technologie von Semikron als auch die von Siemens ermöglichen es, aufgrund der planaren Oberseitenkontaktierung sehr niederinduktive Aufbauten zu tätigen. Das Green Pack von Fuji und das TPM-Modul von Mitsubishi sind hingegen als Moldmodul entwickelt worden und daher nur begrenzt mit den anderen Konzepten zu vergleichen. Um zu prüfen, welche Technologie den eigenen Anforderungen am nächsten kommt, wurden einige Bewertungskriterien gesucht, die einen groben Vergleich zwischen den Konzepten ermöglichen.

Tabelle 7: Bewertung der unterschiedlichen Modulkonzepte

Bewertung:
 1 - 4
 "gering" - "hoch"

	 Semikron SKiN	 Infineon .XT	 Siemens SiPLIT	 Mitsubishi gelötete Lasche	 Fuji Green Pack
	Rahmenmodule			Moldmodule	
kompatibel zu herkömmlichen Fertigungsprozessen	1	4	1	2	2
Flexibilität der Halbzeuge auf Designänderungen	2	4	2	2	2
Hochtemperaturbeständigkeit der halbleiternahen AVT	3	4	2	2	2
Positiver Einfluss auf thermische Impedanz	3	2	4	2	2
Niederinduktivität der AVT	4	2	4	3	2
Zuverlässigkeit (aktive Lastwechsel) der halbleiternahen AVT	4	4	3	2	2
Summe:	17	20	16	13	12

Die Bewertung zeigt ein gutes Abschneiden der .XT Technologie, was besonders auf die Nähe zu herkömmlichen Fertigungsprozessen und auf die hohe Flexibilität beim Cu-Bondlayout zurückzuführen ist. Die Konzepte von Semikron oder Siemens zeigen auch großes Potential für hochzuverlässige Module, allerdings sind die zugrundeliegenden Prozesse in der kommerziellen Modulfertigung eher unbekannt und entsprechend kostenintensiv in der Einführung. Die Konzepte von Mitsubishi und Fuji visieren deutlich auf den Markt der Moldmodule und weniger auf den der Rahmenmodule, was sie von den eigenen Plänen, eine Technologie zu entwickeln, die sowohl im Rahmen als auch im Moldmodul anwendbar ist, unterscheidet.

Für die .XT-Technologie entwickelt Infineon einen eigenen Halbleiter, der oberseitig mit einer starken Cu-Metallisierung versehen ist, damit er den Cu-Bondprozess unbeschadet übersteht. Die so metallisierten Halbleiter sind bislang nicht verfügbar, sodass

eine alternative Möglichkeit erforderlich ist, die Chipoberseite mit Cu-Drähten zu kontaktieren. Das eigene Konzept muss also von der Flexibilität der Cu-Drähte profitieren und es ermöglichen, Halbleiter unterschiedlicher Hersteller sicher kontaktieren zu können. Als Lösung dafür soll ein Cu-Plättchen dienen, das oberseitig stoffschlüssig mit dem Halbleiter verbunden ist. Dieses Plättchen könnte dann auch die thermische Impedanz positiv beeinflussen und einen Vorteil gegenüber der .XT Technologie bringen.

5 BondBuffer Technologie

Als BondBuffer-Technologie wurde das eigene Verfahren bezeichnet, das auf neue Verbindungstechnologien setzt und die Basis für hochzuverlässige Leistungsmodule bilden soll.

Im Fokus dabei steht eine Cu-Folie, die oberseitig auf den Halbleiter gesintert wird. Diese Folie kann die hohen Kräfte aus dem Cu-Bondprozess absorbieren, ist durch einen hinreichend bekannten Bestückprozess (pick & place) zu implementieren und liefert darüber hinaus noch positive Eigenschaften in der thermischen und elektrischen Performance. Außerdem wird die Halbleiterlotverbindung zum Substrat durch eine Sinterverbindung ersetzt, die neben einer hohen Zuverlässigkeit dank der guten Leitwerte von Silber auch eine optimale Wärmeabfuhr und geringe elektrische Verluste der Kontaktierung gewährleistet.

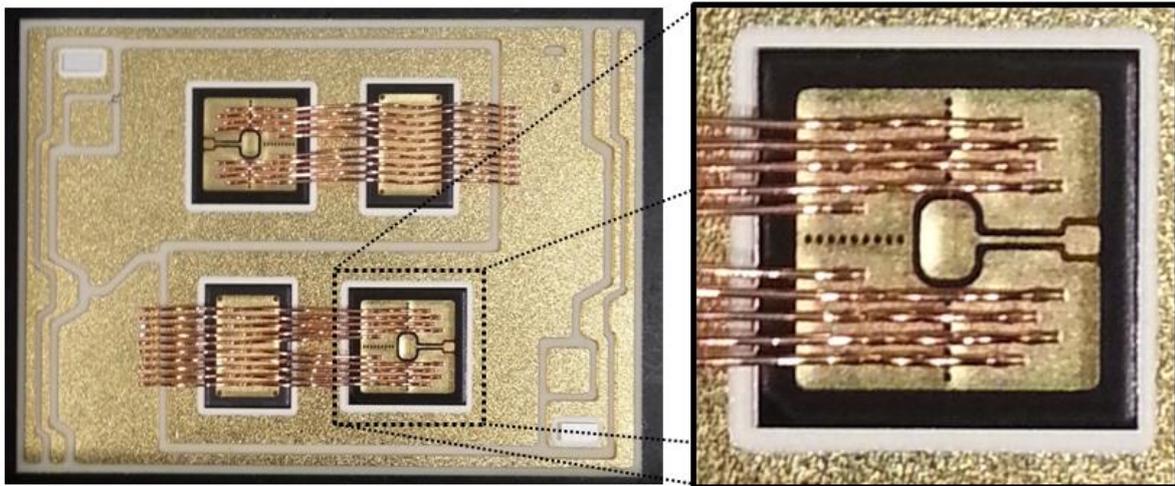


Abb. 5-1: Substrat mit 1700V Halbleitern - DBB Technologie

Diese Technologie, wie sie hier (siehe Abb. 5-1) am Beispiel einer 1700V-IGBT-Halbbrücke angewendet wurde, soll besonders auch der kundenspezifischen Leistungsmodulfertigung dienen, da durch geringe BondBuffer-Modifikationen unterschiedlichste Halbleiter für hochzuverlässige Modulplattformen verarbeitet werden können. Unterstützt wurde die Arbeit an der Technologie von der Firma Danfoss, die unter dem Namen „DBB (Danfoss BondBuffer)“ die Technologie anwenden und in den Markt bringen möchte. [58] [59] [60]

5.1 Prozessfolge und relevante Prüfverfahren

Für den Aufbau der BondBuffer-DCBs sind im Wesentlichen drei Prozessschritte eingeführt bzw. modifiziert worden, worauf in den folgenden Kapiteln eingegangen wird.

- Bestückungsprozess
- Sinterprozess
- Drahtbondprozess

Sobald ein Substrat diese Prozesse durchlaufen hat, kann es wie in herkömmlichen Fertigungslinien in die übergeordneten Baugruppen implementiert werden. Der Bau- raum oder auch die Schnittstellen der DCBs können bei der BondBuffer-Technologie dem Layout der herkömmlich prozessierten DCBs (gelötet und Al-gebondet) angeglichen werden, so dass auch bestehende Modulplattformen durch die Technologie profitieren können.

Zu Beginn der Fertigung wird eine DCB mit Ni/Au-Metallisierung durch eine Schablone mit Ag-Paste bedruckt und getrocknet, wie es in Kapitel 4.2.1.2 „Niedertemperatur-Sintern“ beschrieben ist (siehe Abb. 4-5). Dieses Substrat durchläuft dann seriell die Folgeprozesse, bis es letztlich als elektrisch funktionstüchtiges Halbzeug, wie es in Abb. 5-1 zu sehen ist, geprüft werden kann.

5.1.1 Bestückungsprozess

Da bei der Serienfertigung die Substrate von dem Bestückungsprozess zum Sinterprozess befördert werden müssen, sind geringe Beschleunigungskräfte und Stöße auf das Substrat nicht auszuschließen. Um ein Verrutschen der Komponenten zu verhindern, ist es erforderlich, dass die Halbzeuge gegen diese äußeren Kräfte sicher auf ihrer Position fixiert sind. Diese Aufgabe übernimmt der Bestückungsprozess, in dem alle sinterbaren Komponenten auf die DCBs gesetzt werden.

- Halbleiter
- BondBuffer
- Widerstände
- Temperatursensoren
- Stromsensoren

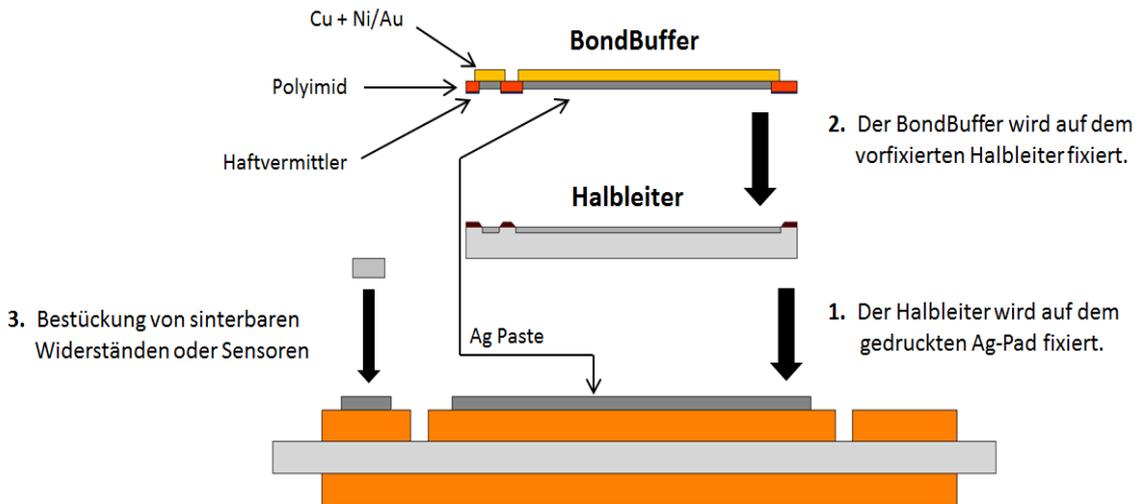


Abb. 5-2: BondBuffer Technologie – Bestückungsprozess

Das Fixieren der einzelnen Komponenten auf die gedruckten Ag-Pads (Substratoberflächen) ist unter Zuhilfenahme einer definierten Kraft und Temperatur (siehe auch Abb. 4-6) möglich. Die große Herausforderung besteht darin, den BondBuffer mit ähnlichen Prozessparametern auf der Oberfläche des Halbleiters zu fixieren, wie es schematisch in der Abb. 5-2 dargestellt ist, ohne den Halbleiter wieder aus seiner Position zu lösen. Um dieser Anforderung gerecht zu werden, wurden weitere adhäsive Schichten unter dem Bondbuffer entwickelt, durch die das Ziel - eine sichere Fixierung - erreicht wurde. Eine detaillierte Beschreibung des BondBuffers ist in Kapitel 5.2 "Entwicklung der BondBuffer" zu finden.

Um die Anbindung der bestückten Komponenten beurteilen zu können, wurde ein zerstörendes Testverfahren definiert.

5.1.1.1 Beschleunigungstest / Impulstest

Bei diesem Test wird das bestückte Substrat definierten Kräften ausgesetzt, um zu prüfen, ob die Bindungskräfte zwischen den einzelnen Komponenten so hoch sind, dass sich die Bauteile nicht von der Oberfläche lösen. Da die Bindungskräfte sehr gering und die Halbleiter nur sehr dünn sind, ist der Einsatz eines Schertesters äußerst schwierig. Zu Beginn wurde daher geprüft, ob die Komponenten auch bei gedrehtem Substrat der Schwerkraft trotzen und an ihrer Position verweilen. Nach umfangreichen Optimierungen im Bestückprozess wurde die Anbindung hinsichtlich kurzer Stöße geprüft, bei denen das Substrat mit der Langseite senkrecht auf eine Tischoberfläche geklopft wurde. Dieser Schnelltest („Klopftest“) wird auch heute noch gerne angewendet, allerdings liefert er keine verlässlichen Messwerte.

Um Messwerte ermitteln zu können, wurde daher der Beschleunigungs- oder auch Impulstest als Konzept entwickelt, bei dem das Substrat auf einer schrägen Bahn gegen einen festen Anschlag fährt. Durch die Bahnlänge und den Winkel (Gefälle) kann dann eine Messroutine definiert werden, die valide Ergebnisse liefern kann.

Da unterschiedliche Substrate jedoch variierende Massen haben, könnte man auch ein Pendel verwenden, das in Abhängigkeit von der Masse und der Geschwindigkeit einen definierten Impuls an ein Substrat überträgt. Um die Keramikkanten der DCB-Substrate zu schützen, sollte der Impuls über eine große Fläche eingekoppelt werden. Die Erfahrungen aus dem manuellen Klopfest zeigen jedoch, dass an der Keramik aufgrund der geringen Kräfte keine Defekte entstehen.

5.1.2 Sinterprozess

Nach dem Bestücken folgt ein quasihydrostatischer Sinterprozess, bei dem alle Ag-Verbindungsschichten ihre endgültige Festigkeit zu den Fügepartnern erreichen. Der quasihydrostatische Prozess sorgt dabei für eine gleichmäßige Druckverteilung über das gesamte Substrat, so dass sich auf allen vorbestückten Positionen auf dem Substrat eine robuste Sinterverbindung einstellt (siehe auch Kapitel 4.2.1.2 „Niedertemperatur-Sintern“). Für die BondBuffer-Technologie wird auf einen Drucksinterprozess gesetzt, der zu einer hohen Verdichtung der Ag-Paste und einer robusten Anbindung zwischen den Fügepartnern führt. Die wesentlichen Prozessparameter sind dabei:

- Druck ~ 20 - 30MPa
- Temperatur ~ 250°C
- Zeit ~ 3-4 min

Das flexible Medium im oberen Sinterstempel kompensiert dabei geringe Höhenunterschiede und Stufen, die zwangsläufig an den Kanten der Halbleiter, den Strukturen des BondBuffers und der Halbleiteroberflächen (siehe Abb. 5-2) entstehen. Dies wird auch anhand der Deformationen ersichtlich, die sich nach dem Sinterprozess auf der Oberseite des BondBuffers abzeichnen.

An diesem Diodenmodul (siehe Abb. 5-3) sind die Verformungen deutlich zu erkennen.

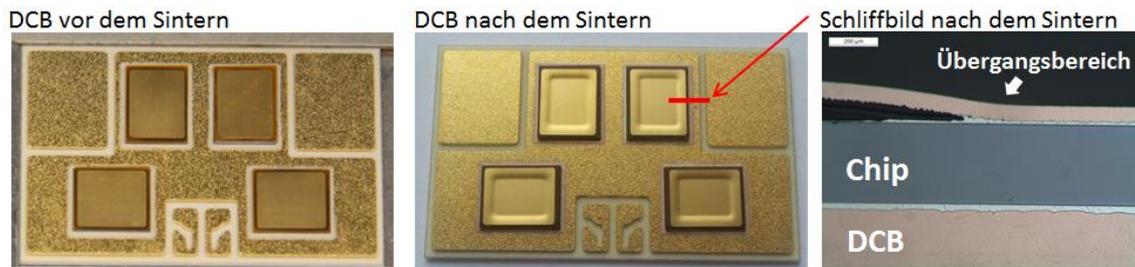


Abb. 5-3: Deformation eines Dioden-BondBuffers nach dem quasihydrostatischen Sintern.

Die 70µm starke Cu-Folie ist zum größten Teil durch die Sinter-technologie mit der Oberfläche des Halbleiters metallisch verbunden. Nur so ist eine optimale Performance aus elektrischer und thermischer Sicht zu erwarten. Es gibt allerdings auch Bereiche, in denen ein Kleber für eine definierte Anbindung zum Halbleiter sorgt, um zum Beispiel auf Passivierungsstrukturen anzubinden.

Bei der Entwicklung der BondBuffer-Technologie waren besonders für den Sinterprozess Testverfahren erforderlich, aus denen man Rückschlüsse über die Sinterbarkeit unterschiedlicher Oberflächen gewonnen hat.

5.1.2.1 Schertest zum Bewerten einer Sinterverbindungen

Ein gängiges Verfahren zum Testen einer Verbindung ist der Schertest, wie er in Kapitel 2.2.1.1 vorgestellt wird. Dabei wird die Scherkraft von einem Sensor erfasst und über den zurückgelegten Weg dargestellt. Für die Sinter-technologie ist dieses Verfahren auch anwendbar, jedoch müssen einige Einflussfaktoren beim Test sehr genau berücksichtigt werden.

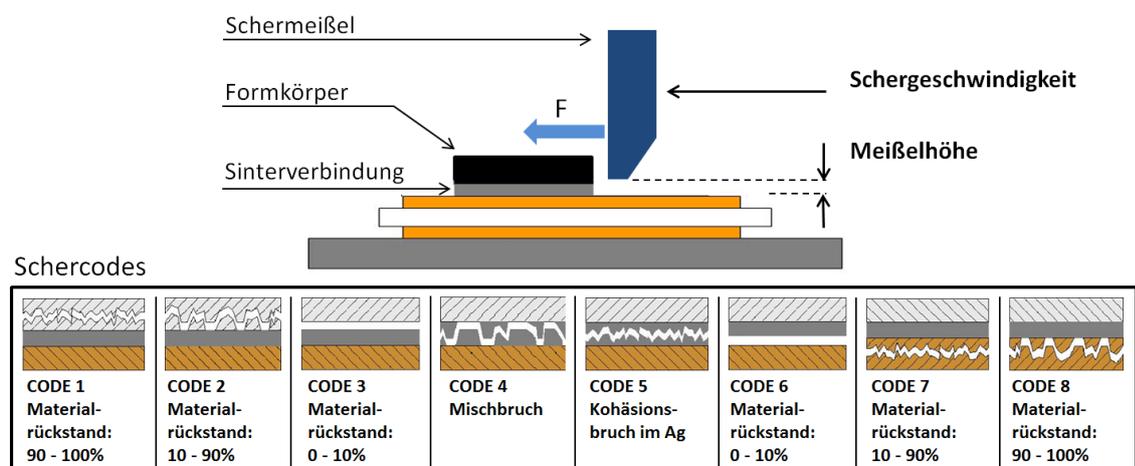


Abb. 5-4: Schertest und die zugehörigen Bruch-Codes

Da die Sinterverbindung eine hohe Anbindungskraft auszeichnet, entsteht unter der Verwendung von Halbleiterbauelementen oftmals ein Bruch im Silizium (Code1). Eine Aussage über die Verbindung ist nur mit entsprechend kleinen Halbleitern möglich, die aufgrund einer geringeren Verbindungsfläche den resultierenden Scherkräften standhalten, so dass der Bruch in oder an der Verbindung verläuft. Zudem ist es besonders beim Silizium erforderlich, sehr gründlich auf die Parallelität zwischen Schermeißel und Kontaktfläche zu achten, da ansonsten Druckspitzen im Silizium entstehen und den Messwert beeinflussen.

Das Ergebnis wird auch durch Scherhöhe und Geschwindigkeit beeinflusst, so dass man hier auf definierte Werte setzen sollte.

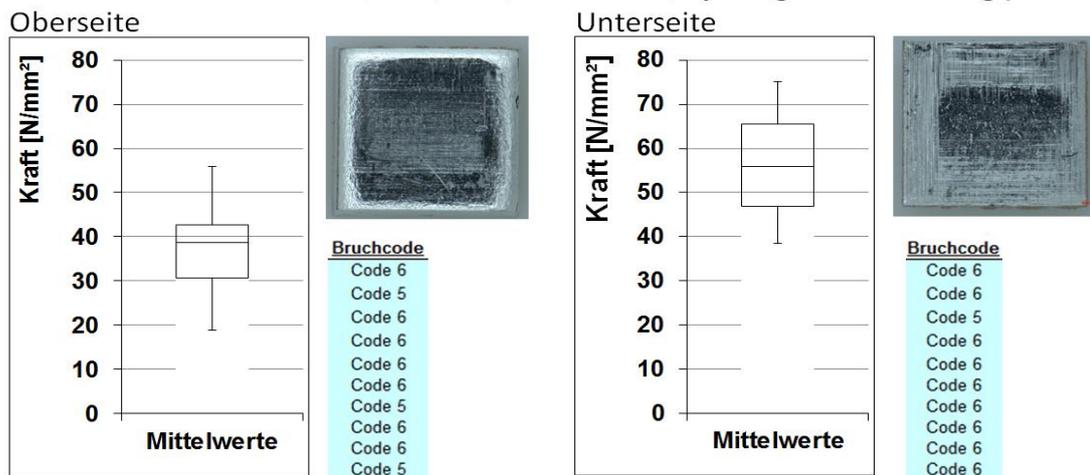
Eigene Spezifikation:

- Höhe der Unterkante vom Schermeißel: Verbindungsstärke + 10% Scherkörper
- Prüfgeschwindigkeit: 250 $\mu\text{m/s}$

Bei der BondBuffer-Technologie mussten unterschiedliche Metallisierungssysteme hinsichtlich der Sinterbarkeit geprüft werden. Dafür wurden Scherkörper aus Cu genutzt, deren Oberflächen entsprechend beschichtet wurden.

Abb. 5-5 zeigt die Ergebnisse eines von Firma Heraeus vollflächig Ag-beschichteten Scherkörpers. Zehn dieser Bauteile wurden mit der Oberseite und weitere zehn mit der Unterseite auf ein Substrat gesintert und im Anschluss durch ein Schertest geprüft.

Gestanztes Cu-Plättchen 2,3 x 2,3 x 0,8 mm mit 1,5 μm Ag-Metallisierung (Heraeus)



Untersuchungsergebnisse aus dem BMBF Forschungsprojekt ProPower

Abb. 5-5: Scheruntersuchung mit gesinterten Cu-Scherkörpern.

Es wurde ein Unterschiede der Scherkörper entsprechend der Sinterlage festgestellt. Der gemittelte Messwert in N/mm^2 fällt bei der Oberseite geringer als bei der Unterseite aus. Das ist auf den Einzugsradius beim Stanzen zurückzuführen, der die Oberfläche einschnürt (siehe Abb. 5-5/Abb. 5-6 – linke Darstellung), so dass die Scherkräfte aufgrund einer geringeren Anbindungsfläche schwächer ausfallen.

Neben den quantitativen Messwerten ist es wichtig, auch das Bruchbild zu beurteilen und einen Schercode (wie in Abb. 5-4 eingeführt) zu vergeben. Aus komplexen Rissverläufen in der Verbindungsschicht (Kohäsionsbruch Code 5) kann man schlussfolgern, dass die Metallisierungen der Fügepartner gute Sintereigenschaften auszeichnet. Trennt sich hingegen das Silber nahezu vollständig von einem Fügepartner, so liegt die Vermutung einer Oberflächenkontamination oder einer grundsätzlich schlecht sinterbaren Oberfläche nahe. Die galvanisch aufgetragene Ag-Schicht von Heraeus zeigt gute Sintereigenschaften, da neben einer hohen Scherkraft auch ein Bruchbild auf Seiten der Substratoberfläche ermittelt wurde (Schercode 6).

5.1.2.2 Peelttest zum Bewerten einer Sinterverbindungen

Besonders bei der Entwicklung der BondBuffer-Folien und ihrer Metallisierungen wurde auf den Peelttest zurückgegriffen. Dabei wird ein dünner gesinterter Streifen von der Oberfläche abgezogen und kontinuierlich die erforderliche Kraft gemessen.

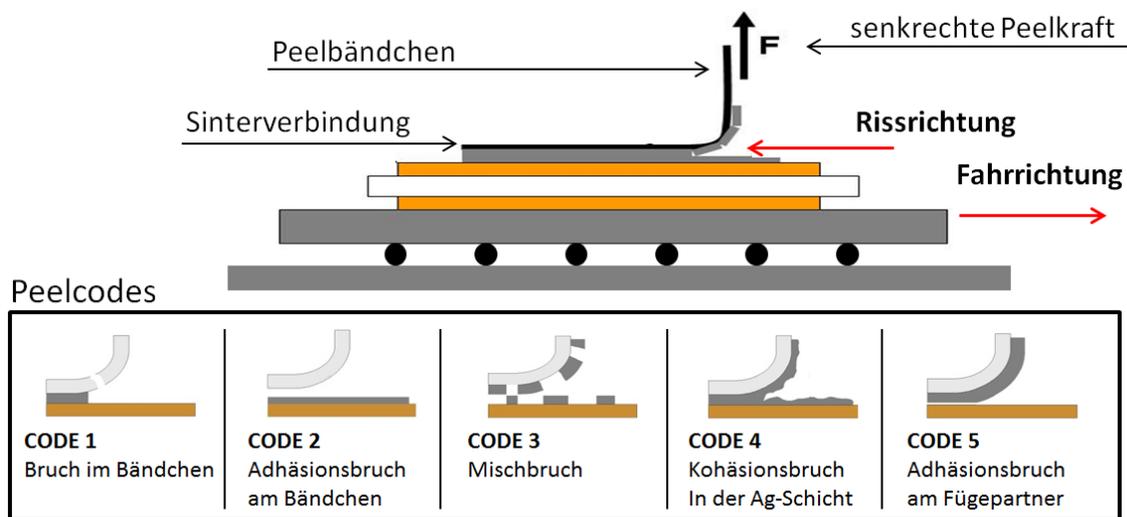


Abb. 5-6: Peelttest und die zugehörigen Bruch-Codes

In Abb. 5-6 ist die Probe auf eine Linearführung montiert, die sie gegen die Rissrichtung so nachführt, dass die Peelkraft immer senkrecht zur Wirkung gelangt.

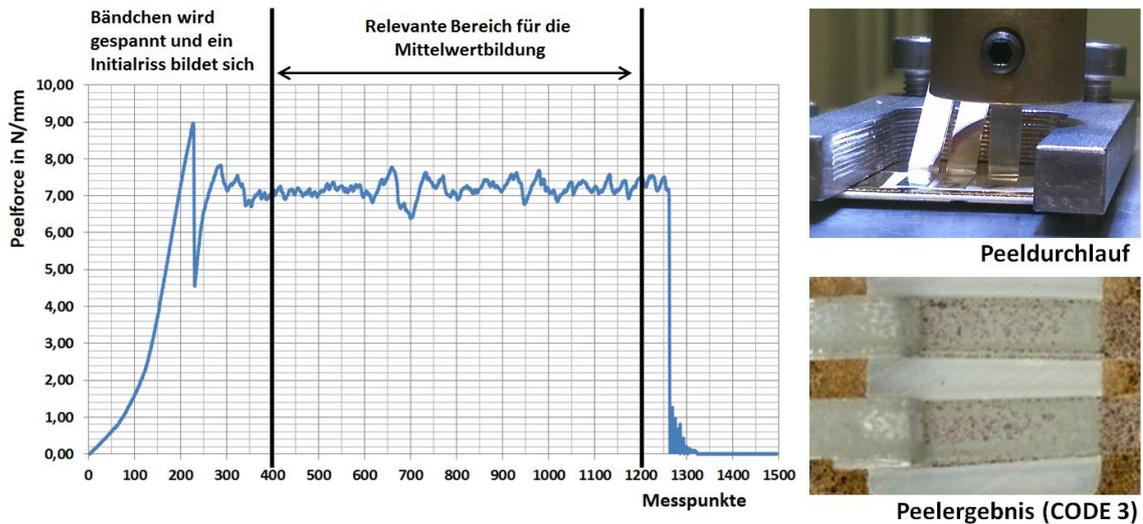


Abb. 5-7: Peelkraftverlauf eines 100 μ m starken und 3mm breiten Ag-Bändchens [61]

Die Einheit [N/mm] entsteht dadurch, dass die Kraft [N] über den relevanten Bereich gemittelt und durch die Bändchenbreite [mm] geteilt wird. Der relevante Bereich, in dem der Riss unter einer kontinuierlichen Kraft wächst, ist in der Abb. 5-7 zu erkennen. Bei dem abgezogenen Ag-Bändchen konnte ein Kohäsionsbruch in der Verbindungsschicht bei einer Peelkraft von 7 N/mm festgestellt werden.

In der Forschung ist der Test gut geeignet, um den Einfluss gezielter Veränderungen auf die Sinterverbindung prüfen zu können [34]. Besonders die kohäsiven Eigenschaften unterschiedlicher Pasten lassen sich beim Sintern eines dünnen 100 μ m starken Silberstreifens gut beurteilen, da hochreines Silber gute Sintereigenschaften zeigt und der Bruch entsprechend im Verbindungsmedium (Fehlercode 4) verläuft.

Es ist jedoch sehr wichtig, dass Quervergleiche immer auf demselben Bändchenmaterial basieren, da die Materialstärke und der Werkstoff das Testergebnis sehr stark beeinflussen, wie es in [62] beschrieben ist.

Dies geht auch aus einer eigenen Untersuchung hervor, in der zwei unterschiedliche Bändchenmaterialien unter sonst gleichen Bedingungen verglichen wurden.

- 1. Bändchen: 100 μ m Ag 3mm breit [61]
- 2. Bändchen: 70 μ m Cu + Ni/Au 3mm breit

Die Unterschiede sind deutlich in dem Boxplot Abb. 5-8 zu erkennen.

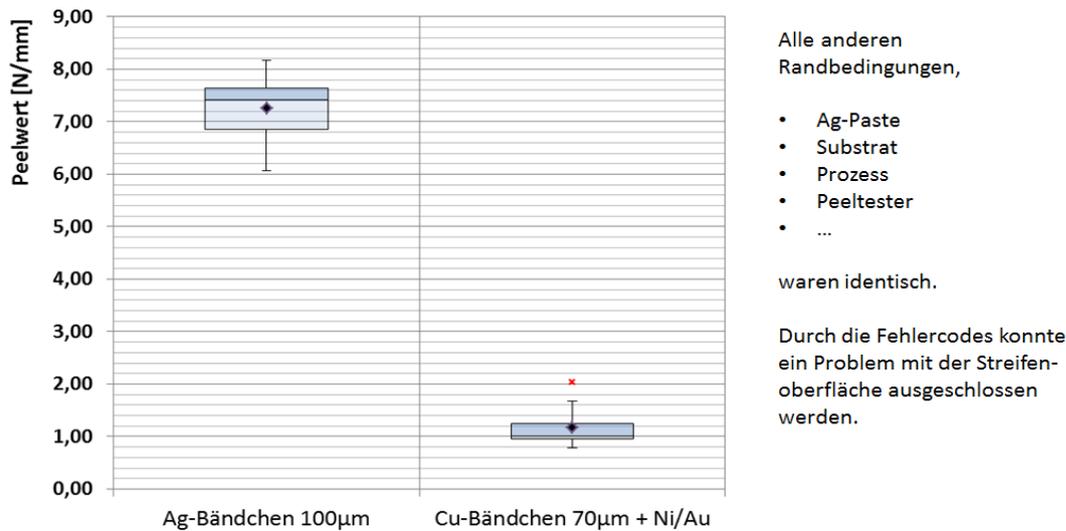


Abb. 5-8: Vergleich Peelergebnisse Ag-Streifen vs. Cu Streifen

Dieses Phänomen ist zum Teil auf den werkstoffspezifischen Biegeradius zurückzuführen. Bei steifen oder harten Materialien entsteht ein größerer Radius, der wie ein Hebel das Bändchen von seinem Fügepartner abhebt. Weiche und dünne Materialien haben hingegen einen sehr kleinen Biegeradius, so dass die Kraft sehr senkrecht an der Verbindungsstelle wirkt. Das sind zwei unterschiedliche Mechanismen, die man nicht direkt vergleichen kann. Viele Grundlagenuntersuchungen zu den plastischen Vorgängen im Peelttest findet man in der Veröffentlichung von J. H. Y. Wei [63].

5.1.2.3 Dornbiegetest zum Bewerten einer Sinterverbindung

Um die Sinterverbindungen zum Halbleiter zu beurteilen, eignet sich ein Dornbiegetest, bei dem das Substrat durch mechanischen Krafteinfluss gebogen wird. Dieser zerstörende Test wurde bereits von Herrn Dr. Mertens 2004 als Schnelltest definiert [33]. Dank der Weiterentwicklung der Werkzeuge kann dieser Test fertigungsbegleitend ohne großen Zeitaufwand angewendet werden.

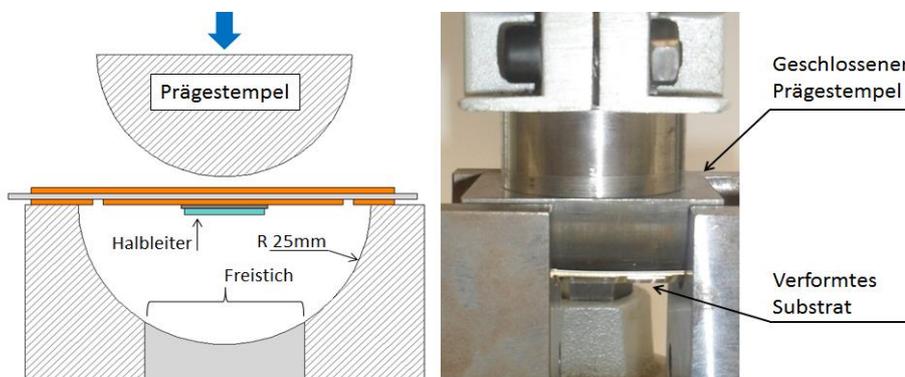


Abb. 5-9: Dornbiegetest

Aus den Fehlerbildern lassen sich Aussagen über die Verbindungsgüte ableiten. Dabei unterscheidet man bei den Bruchbildern vorwiegend zwei Erscheinungstypen (siehe Abb. 5-10), die auf eine hohe beziehungsweise geringe Anbindungskraft in der Verbindungsschicht hinweisen.

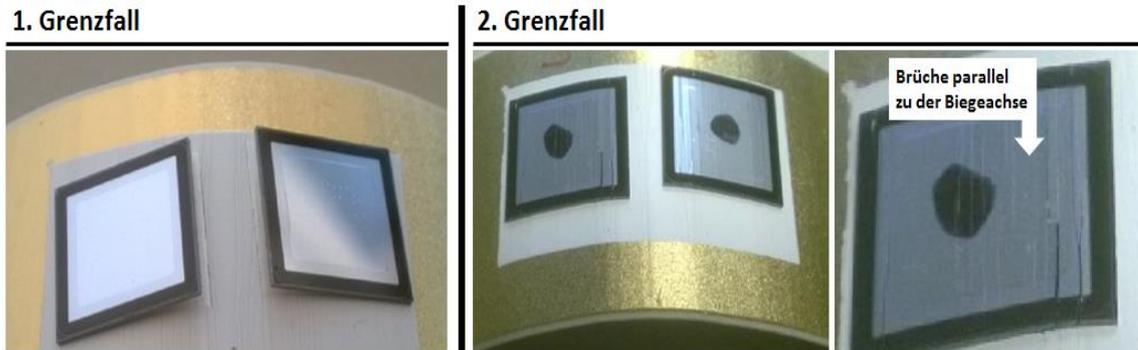


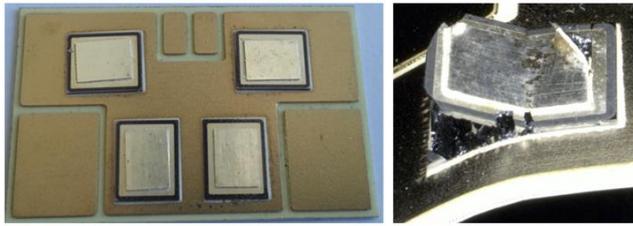
Abb. 5-10: Schadensbilder Dornbiegetest

Betrachtet man den ersten Grenzfall, dann erkennt man, dass sich der Halbleiter nahezu vollständig von der Oberfläche gelöst hat. Die Steifigkeit im Silizium war also ausreichend, um die Anbindung an das gewölbte Substrat zu lösen. Das spricht für eine minderwertige Anbindungsqualität, die auf mehrere Ursachen zurückzuführen sein könnte:

- Ungeeignete Oberflächenmetallisierungen
- Verunreinigungen auf den Oberflächen
- Prozessschwankungen

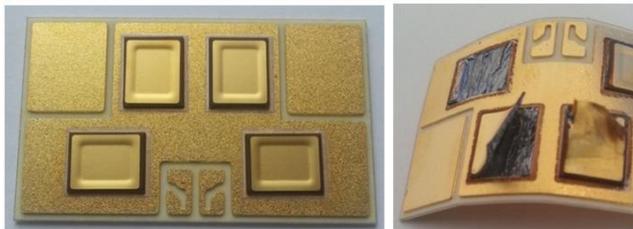
Im Gegensatz dazu steht der zweite Grenzfall für eine hohe Anbindung zwischen den Fügepartnern. Das zeigt sich in vielen parallel verlaufenden Rissen auf der Oberfläche des Halbleiters, da dieser am Außendurchmesser des Substrates durch Zug- und Biegekräfte belastet wird. Es gibt Ansätze, die parallel verlaufenden Brüche zu zählen und so bei gleichen Rahmenbedingungen quantitative Vergleiche durchzuführen.

Der geringe Aufwand und ein schnelles Ergebnis haben den Test auch bei der BondBuffer-Entwicklung als ein wichtiges Werkzeug ausgezeichnet. In der Abb. 5-11 sind zwei Beispiele vorgeteilt, in denen das Testergebnis an unterschiedlichen Bond-Buffer-Generationen gezeigt ist. Bei beiden Testergebnissen sieht man, dass sich der Schadensort im Silizium befindet. Das deutet auf gute Verbindungen zwischen den einzelnen Bauteilen.



Gesintertes Cu-Plättchen auf einer Diode

Das Silizium ist aufgrund der beidseitigen Verspannung im Dornbiegetest deutlich zerrissen. -> Die Verbindungsstellen zeigen keine Schwachstelle



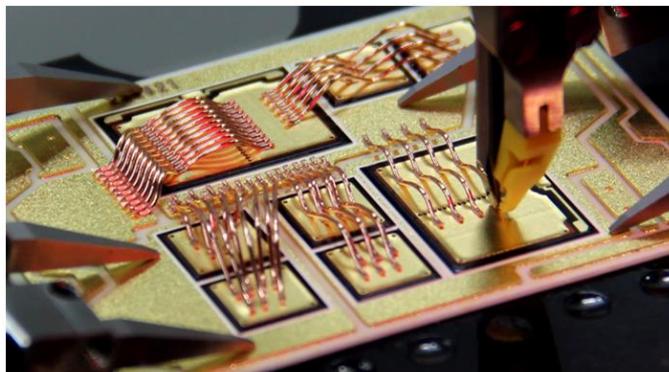
Gesinterter BondBuffer auf einer Diode

Das Silizium ist aufgrund der beidseitigen Verspannung im Dornbiegetest deutlich zerrissen. -> Die Verbindungsstellen zeigen keine Schwachstelle

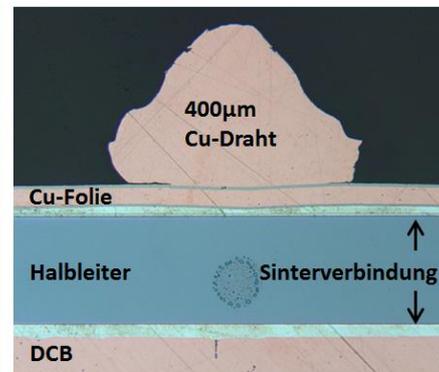
Abb. 5-11: Beispiele für Dornbiegetestergebnisse an BondBuffer-Substraten

5.1.3 Cu-Drahtbonden

Nach dem quasihydrostatischem Sinterprozess gelangt das Substrat zum Cu-Drahtbonden. Dank der Bondbuffer-Technologie kann der zwischen zwei Cu-Schichten symmetrisch gespannte Halbleiter jetzt sicher mit Cu-Drähten gebondet werden, ohne dass Schäden im Silizium entstehen. Das Substrat wird dafür sowohl im Vakuum als auch, wie auf der Abb. 5-12 zu sehen ist, durch Klammern mechanisch gespannt.



BondBuffer Substrat im Cu-Bondprozess
Projekt: Innovationscluster Leistungselektronik für Regenerative Energieversorgung 2014



Schliffbild

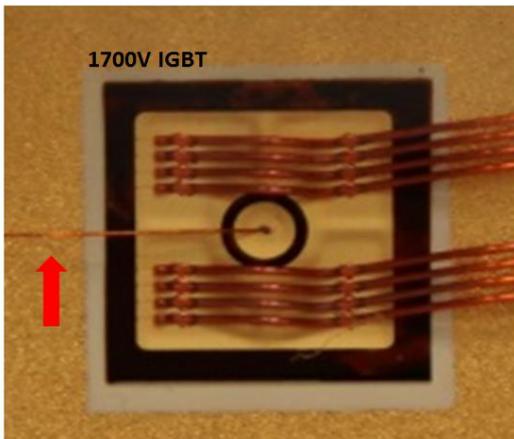
Abb. 5-12: Cu-Drahtbonden auf den gesinterten BondBuffers

Abhängig von den verschiedenartigen Halbleitern werden unterschiedlich starke Cu-Schichten aufgesintert. Das Schliffbild in der Abb. 5-12 zeigt eine 70µm starke Cu-Schicht, auf die beidseitig eine Ni/Au-Metallisierung aufgetragen ist. Diese Metallisierung ist für eine robuste Sinteranbindung notwendig, die wiederum als Basis für den Cu-Bondprozess erforderlich ist. Sollte die Sinterverbindung aufgrund unzureichender Ag-Schichtstärken oder Kontaminationen auf den Oberflächen von geringer Qualität sein, so spiegelt sich das in einem instabilen Bondprozess wider, da die Dämpfung der

Oberfläche vom normalen Prozess abweicht. Dabei entstehen zum Teil Drahtabheber („Lift Offs“) oder auch Ausrisse in der Cu-Folie.

Wie bereits in dem Kapitel 4.2.2.342 „Cu-Drähte und Ribbons“ beschrieben, können mit aktuellen Maschinenplattformen bis zu 500µm Cu-Drähte gebondet werden. Da die Belastung auf die Oberfläche besonders beim Ausformen des Drahtloops sehr hoch ist, wurden bis jetzt erst 300 und 400µm starke Cu-Drähte bei der BondBuffer-Technologie eingesetzt.

Zentraler Gate-Draht 125µm Cu



Verlagerter Gate-Draht 125µm Cu

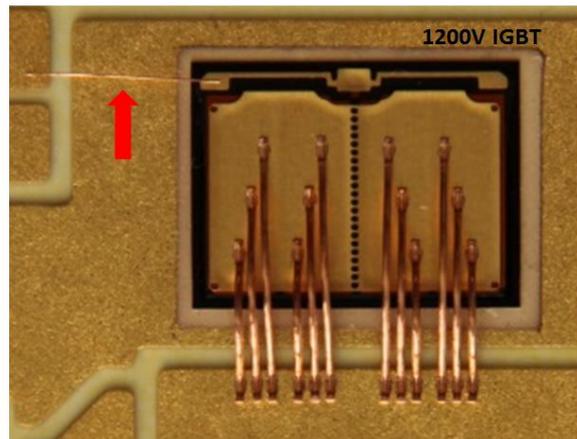


Abb. 5-13: Drahtbonden auf dem Gate-Kontakt.

Bei Transistoren ist neben dem Lastanschluss auch ein Steueranschluss auf der Oberseite erforderlich, der ebenfalls durch einen Drahtbond kontaktiert werden muss. Die BondBuffer-Technologie ermöglicht unterschiedliche Kontaktierungsvarianten, um möglichst hohe Flexibilität im Layout zu fördern und flexibel auf variierende Gatepads (in Lage und Größe) reagieren zu können. So ist, wie in Abb. 5-13 zu sehen, sowohl ein Draht zentral auf der gesinterten Gate-Insel als auch das Bonden auf einem verlagerten Gatepad denkbar. Bei der zentralen Bondung (siehe Abb. 5-13 – links) wird ein 125µm-Cu-Draht verwendet, um die darunterliegende punktförmige Sinterverbindung nicht zu beschädigen. Bei dem verlagerten Gate ist auch ein 125µm-Cu-Draht vorgesehen, da die Fläche durch eine dünne Pi-Folie von dem darunterliegenden Potential (zum Beispiel dem Emitter) isoliert ist. Stärkere Cu-Drahtdurchmesser führen auf dem verlagerten Gate zu Problemen, da das durch Kleber fixierte Pad ins Schwingen gerät.

5.1.3.1 Erforderliche Prüfverfahren für die Cu-Bondverbindung

Um die Verschweißung eines Cu-Drahtes beurteilen zu können, werden im Wesentlichen Pull- und Schertests durchgeführt, wie sie bereits unter den zerstörenden Prüf-

verfahren in Kapitel 2.2.1 vorgestellt wurden. Neben der ermittelten Scher- bzw. Pullkraft wurden auch die Schadensbilder beurteilt und einem selbst spezifizierten Fehlercode, wie er in der Abb. 5-14 zu sehen ist, zugewiesen.

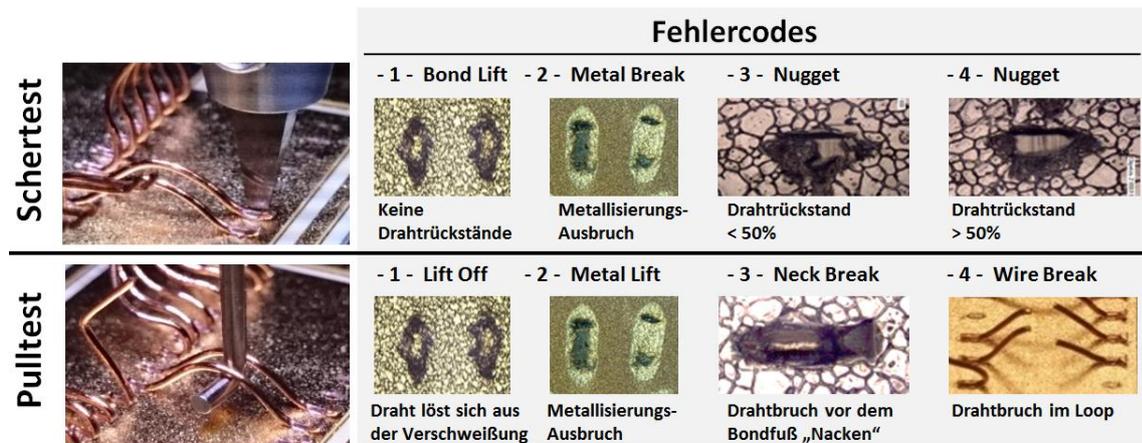
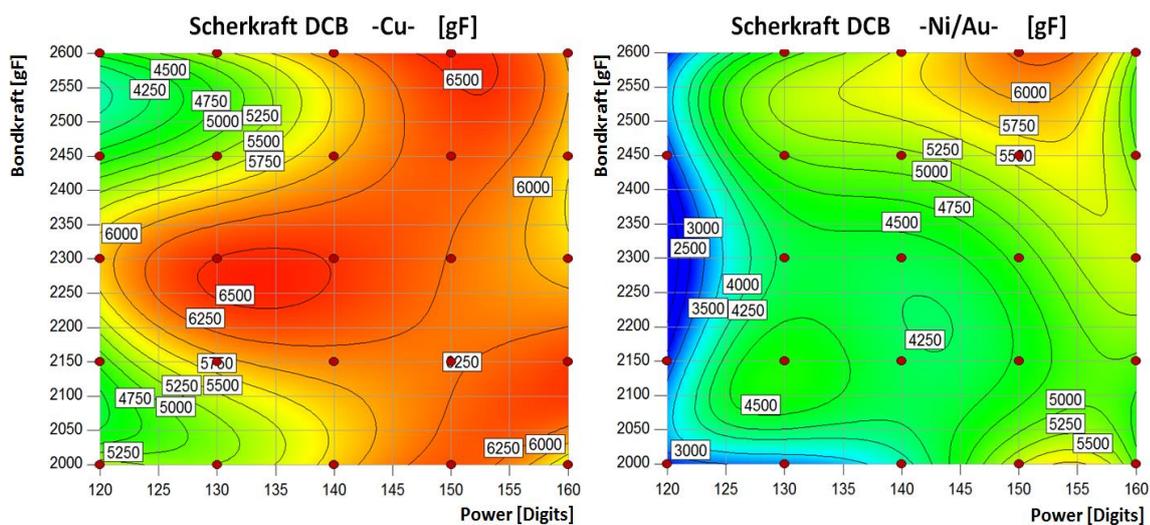


Abb. 5-14: Fehlercodes für den Scher- und Pulltest

Diese Testroutine war für die BondBuffer-Entwicklung erforderlich, um für unterschiedliche Materialien die geeigneten Bondparameter zu finden. Die Prozessparameter (Kraft und Power) wurden dabei hinsichtlich eines hohen Fehlercodes optimiert, wodurch größtenteils auch die höchsten Kräfte beim Scheren und Pullen erzielt wurden.

Wie unterschiedlich dabei die zentralen Bondparameter, Kraft und Leistung, ausfallen, zeigt eine Untersuchung, in der die Oberfläche einer Cu-DCB mit der Oberfläche einer Ni/Au-beschichteten DCB verglichen wurde.



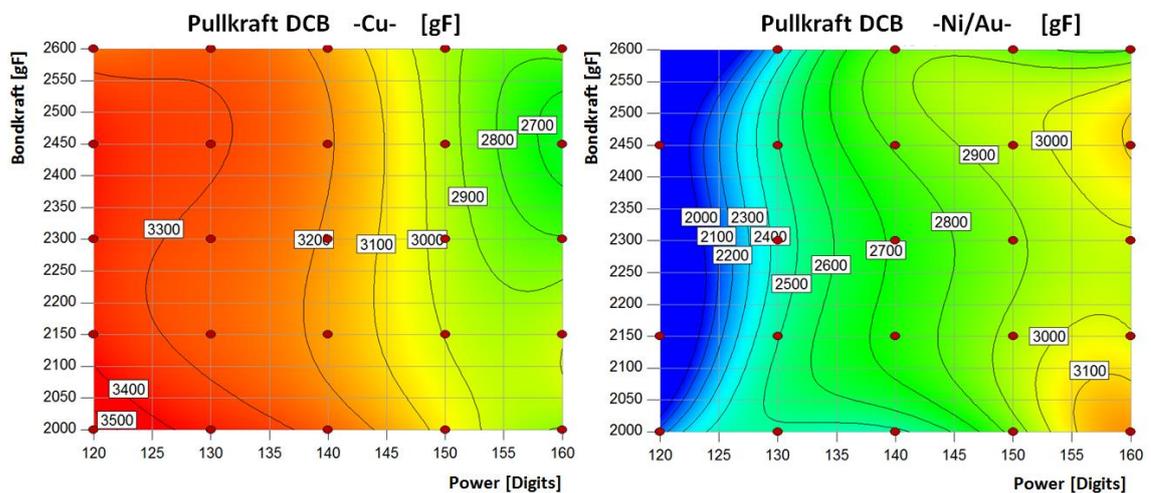
Die Farbskalierung beider Bilder ist gleich. Sie richtet sich nach dem Minima/Maxima und hat keine Wertung!

Abb. 5-15: Scherergebnisse links: DCB mit Cu Oberfläche recht: DCB mit Ni/Au Oberfläche

Die Höhenlinien in den topologischen Darstellungen zeigen die Scherkraft in gF. Der Farbverlauf beider Ansichten repräsentiert keine qualitative Wertung. Er hat in beiden Bildern die gleiche Skalierung und richtet sich nach einem minimalen (blau) und maximalen (rot) Wert. Zwischen den roten Punkten, die jeweils einen Messpunkt darstellen, sind die Verläufe interpoliert.

Der Farbverlauf zeigt, dass sich beide Oberflächen im Bondprozess deutlich unterscheiden. Die Verschweißung auf einer Ni/Au Oberfläche erfordert einen höheren Energieeintrag beim Cu-Bonden als auf einer Cu-Oberfläche. Das entspricht der Erwartung, dass die monometallische Verbindung zwischen Cu-Draht und Cu-Oberfläche Vorteile in der Verbindungsbildung bietet.

Diese Aussage wird von den Peel-Ergebnissen bestätigt, die in der Abb. 5-16 dargestellt sind.



Die Farbskalierung beider Bilder ist gleich. Sie richtet sich nach dem Minima/Maxima und hat keine Wertung!

Abb. 5-16: Pulltest links: DCB mit Cu Oberfläche recht: DCB mit Ni/Au Oberfläche

Die Art der Darstellung entspricht der aus Abb. 5-15, nur das die topologischen Linien hier einen Peel-Wert darstellen.

Neben dem Beurteilen der direkten Verschweißung zur Oberfläche ist es besonders bei der BondBuffer-Technologie erforderlich, das System auf Schäden nach dem Cu-Bondprozess zu prüfen. Dafür eignet sich besonders die Ultraschallanalyse als nichtzerstörendes Testverfahren, wie sie in Kapitel 2.2.2.2 „Akustische Mikroskopie“ vorgestellt wurde. Mit diesem Verfahren können kleinste Delaminationen in der Verbindungsschicht unter dem BondBuffer detektiert werden, die hingegen durch ein X-Ray-Verfahren nicht gefunden wurden. Die Ultraschalltechnologie reagiert wesentlich sen-

sibler auf kleinste Phasenänderungen (Fest zu Gas = Delamination) als das durchleuchtende X-Ray-Verfahren.

Die Abb. 2-6 zeigt ein Bondbuffer System, bei dem ein Schaden unterhalb der Cu-Folie durch die SAM-Analyse gefunden wurde.

5.2 Entwicklung der BondBuffer-Folie

Die BondBuffer Folie hat ihren Ursprung in rechteckigen Cu-Plättchen, die oberseitig auf die Ag-metallisierten Dioden der Firma IXYS gesintert wurden.

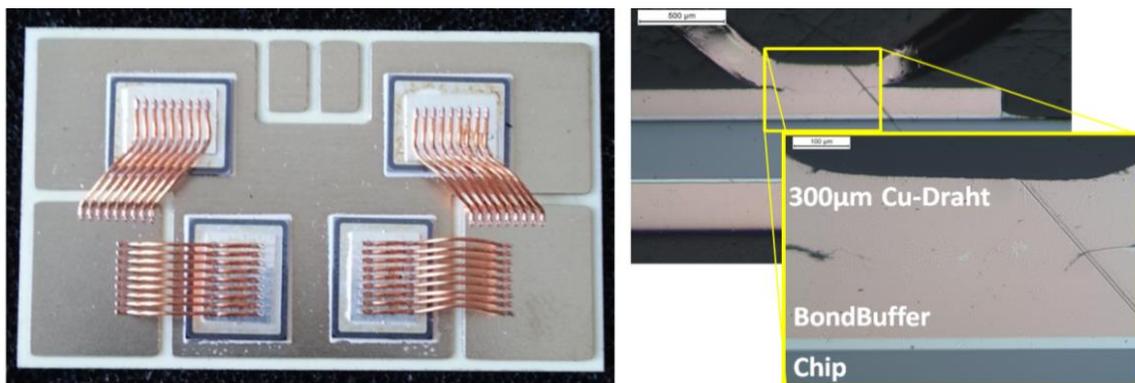


Abb. 5-17: Cu-Plättchen als Basis für die Cu-Drähte – IXYS Diodensubstrat

Die zu der Zeit noch 150µm starken Plättchen wurden für den Bestückungsprozess im Voraus mit der Ag-Sinterpaste beschichtet, die getrocknet an die Unterseite der Plättchen geheftet wurde. Dieser Prozess konnte über ein Transferdruckverfahren realisiert werden, bei dem ein getrocknetes Ag-Pad bei einer Temperatur von etwa 80°C und einem Druck von etwa 30MPa an der Unterseite der Plättchen fixiert wird, wie es bereits in [34] publiziert wurde. Die Prozessschritte sind schematisch in der Abb. 5-18 dargestellt.

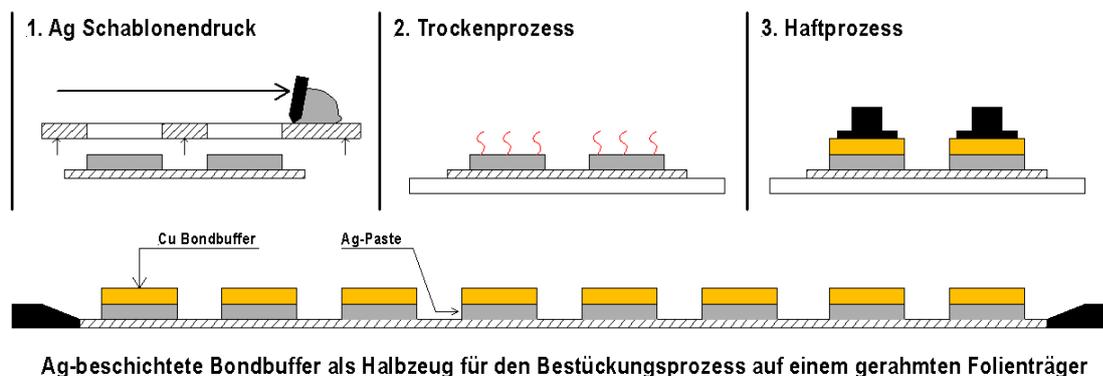


Abb. 5-18: Ag-Transferdruck in Kombination mit Cu-Plättchen

Der Transferdruck und das Bestücken konnte manuell im Labor umgesetzt werden, allerdings waren die Bindungskräfte des Plättchens beim Bestücken so gering, dass kleinste Erschütterungen (siehe Kapitel 5.1.1.1) die Bauteile von der Oberfläche gelöst haben.

Aus diesem Grund musste das Plättchen zu einem System weiterentwickelt werden, das sowohl den Zuverlässigkeitsanforderungen als auch den Prozessanforderungen der Leistungselektronik gerecht wird und überdies wirtschaftlich und prozesssicher als Halbzeug gefertigt werden kann.

Eine strukturierte Trägerfolie aus temperaturbeständigem Polyimid wurde als Basis für die Nutzenfertigung der BondBuffer eingeführt.

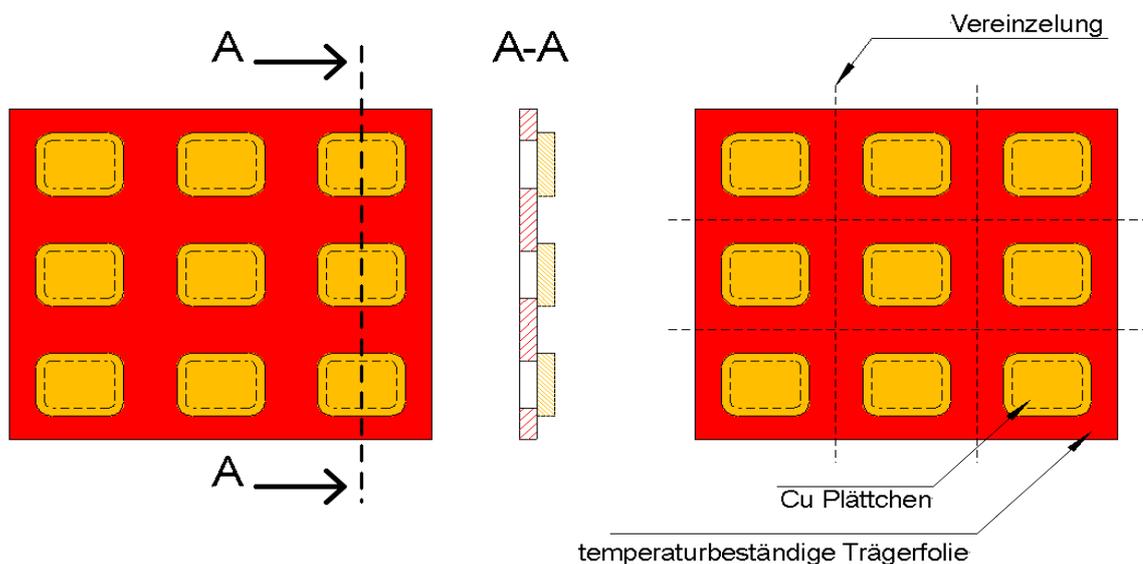


Abb. 5-19: Skizze der BondBuffer im Nutzenformat

Dieser Folienträger kann durch hinreichend bekannte Fertigungsprozesse strukturiert werden, so dass an definierten Positionen Durchbrüche entstehen. In der Industrie sind dafür sowohl Schneidprozesse (Laser, Wasserstrahl, Messer) als auch unterschiedliche Stanztechniken bekannt. Zudem kann ein oberseitig laminiertes Cu-Layer durch nasschemische Ätzverfahren präzise strukturiert werden. Um die Sinterfähigkeit der Anbindungsstellen zu gewährleisten, kann der Träger chemische Beschichtungsverfahren durchlaufen. Eine Ni/Au-Schicht, die in der Leiterplattenindustrie als Standardmetallisierung bekannt ist, ließe sich entsprechend auf den Cu-Oberflächen abscheiden. Da die einzelnen Cu-Plättchen potentialgetrennt auf der Oberfläche positioniert sind, muss ein chemisches Beschichtungsverfahren für dieses Konzept genutzt werden, wie zum Beispiel ENIG (Electroless Nickel Immersion Gold) [64].

Viele unterschiedliche Optionen für die Gestaltung des BondBuffers sind möglich:

- Die Geometrie der Cu-Plättchen kann flexibel geändert und strukturiert werden, da diese geätzt wird. Es entstehen keine hohen Werkzeugkosten.
- Der Folienträger kann durch Laser- oder Wasserstrahlverfahren strukturiert werden. Eine Änderung im Layout oder auch sehr feine Strukturen können einfach realisiert werden.
- Die Fertigungsprozesse sind für unterschiedlichste Cu-Stärken bekannt. Der Buffer kann mit Cu-Plättchen von $35\mu\text{m}$ bis größer $150\mu\text{m}$ realisiert werden.
- Durch das isolierende Trägermaterial können Potentiale des Halbleiters auf dem Bondbuffer verschoben werden, so zum Beispiel das verlagerte Gate. (siehe Abb. 5-13)
- Es können unterschiedliche Metallisierungen aufgetragen werden. Für die noch junge Sintertechnologie ist es von Vorteil, auf unterschiedliche Metallisierungen setzen zu können.
- Beim Metallisieren ließe sich eine Seite abdecken, sodass nur einseitig ein Materialauftrag stattfindet. Eine Ni/Au-Metallisierung zum Sintern auf der Unterseite und eine Cu-Oberfläche für eine Monometallverbindung zum Cu-Draht wären möglich.

Die Folie besteht dann aus einer Anzahl zusammenhängender BondBuffer, die unterseitig mit Sinterpaste beschichtet werden muss. Für das Befüllen der einzelnen Kavitäten (siehe Abb. 5-20 – linkes Bild) wurde ein maskiertes Spray Coating-Verfahren entwickelt.

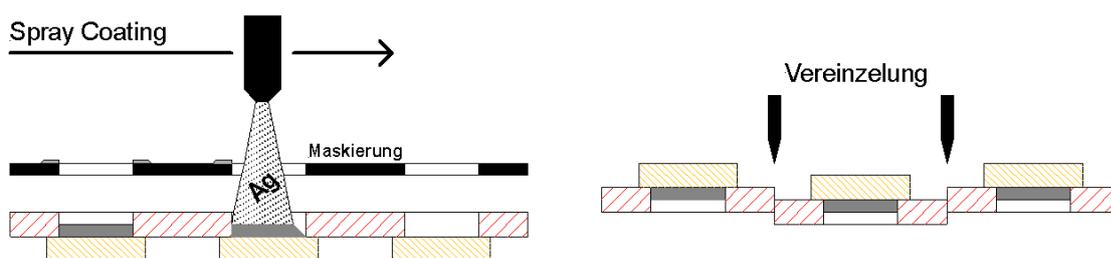


Abb. 5-20: Beschichtungsverfahren der BondBuffer - Spray Coating - Vereinzlung

Bei diesem Prozess wird die Sinterpaste zu einer Suspension aufbereitet, die durch ein Sprühverfahren verarbeitet werden kann [33]. Nach dem Abdampfen der flüchtigen Organik in einem Trocknungsprozess bleiben dann nur die Ag-Partikel auf der Oberfläche zurück.

Darüber hinaus muss der Folienträger unterseitig mit einem Haftvermittler versehen sein (siehe Abb. 5-21), der beim Bestücken für eine Anbindung am Halbleiter sorgt. Die Oberfläche dieser Schicht ist beim Spray Coating durch die Maskierung (siehe Abb. 5-20) vor einer Ag-Kontamination geschützt. Die haftende Oberfläche ragt über das Niveau der Sinterpaste hervor, so dass diese im Bestückprozess zuerst die Oberfläche kontaktiert, wie es in der Abb. 5-21 zu sehen ist.

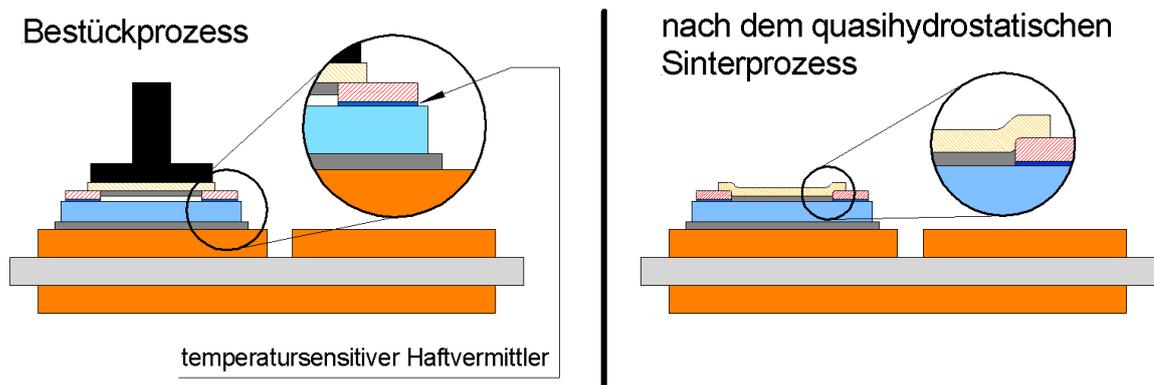


Abb. 5-21: Haftvermittler auf der Unterseite des BondBuffers

Die metallische Anbindung entsteht dann erst nach dem Sintern durch die Deformation des Cu-Plättchens. Der Kleber und das Polyimid sorgen dann im Randbereich für eine hohe elektrische Spannungsfestigkeit, um einen Durchschlag über den Hochspannungsrand eines Halbleiters zu vermeiden. Die Abb. 5-3 zeigt deutlich den Übergangsbereich von der Sinterverbindung zu der Klebverbindung.

Für die Weiterverarbeitung der BondBuffer müssen diese noch vereinzelt werden und in einer definierten Ablageform an den Bestückprozess übergeben werden. Da bei dem Vereinzeln nur eine dünne Folie geschnitten werden muss, können zum Beispiel Messerschnittwerkzeuge genutzt werden.

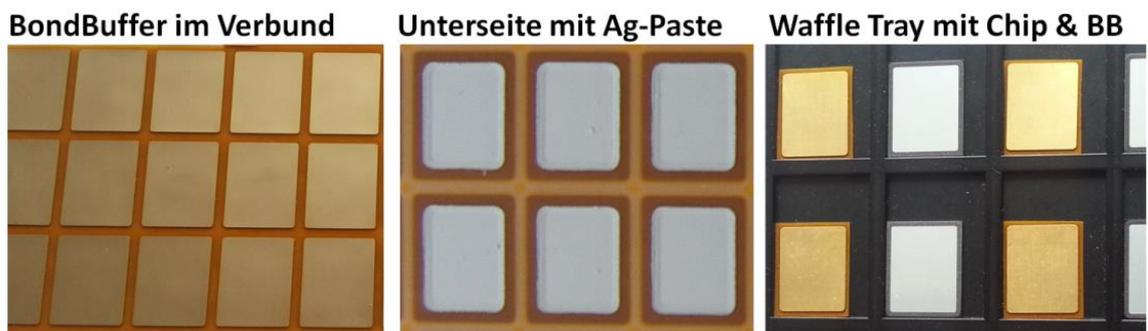


Abb. 5-22: BondBuffer im Verbund mit Ag-Paste beschichtet

5.3 Thermische und Elektrische Simulationen

5.3.1 FEM-Simulation für die Bestimmung der thermischen Impedanz

Um die thermischen Eigenschaften des BondBuffers einschätzen zu können, wurden FEM-Simulationen an unterschiedlichen Baugruppen durchgeführt. Dabei wurde die DBB-Technologie mit zwei Referenzaufbauten verglichen, um thermische Vorteile speziell in der Impedanz ermitteln zu können. Die folgende Übersicht zeigt die drei Aufbauvarianten und beschreibt die relevanten Merkmale.

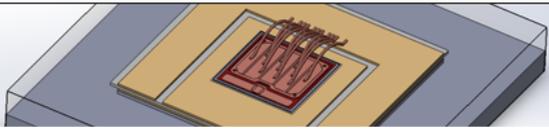
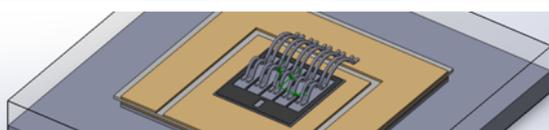
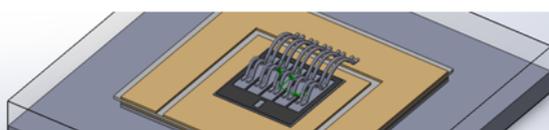
	<p>BondBuffer Technologie „DBB“</p> <ul style="list-style-type: none"> • 11 x 300µm Cu-Draht • 30µm Ag unter und 20µm über dem Halbleiter • 70µm Cu als BondBuffer-Material
	<p>1. Referenz „NTV“</p> <ul style="list-style-type: none"> • 10 x 400µm Al-Draht • 30µm Ag unter dem Halbleiter
	<p>2. Referenz „LOT“</p> <ul style="list-style-type: none"> • 10 x 400µm Al-Draht • 100µm Lot unter dem Halbleiter
<ul style="list-style-type: none"> • Halbleiter: 300A IGBT 10,6 x 10,6 mm • DCB: 300µm Cu – 380µm Al₂O₃ – 300µm Cu • 500µm Lot zwischen DCB und Bodenplatte • Bodenplatte 3mm Cu 	

Abb. 5-23: Virtuelle Baugruppen für die Z_{th} -Simulationen

Die beiden Referenzaufbauten „NTV“ und „LOT“ unterscheiden sich ausschließlich in der Verbindung zwischen Halbleiter und Substrat. Beide wurden durch 400µm-Aluminiumdrähte auf der Oberfläche gebondet, wie es für den Halbleiter üblich ist. Bei der „DBB“-Variante basiert die untere Verbindung zum Halbleiter auf einer Sinterschicht (wie bei der „NTV“) und die obere Halbleiterkontaktierung wurde entsprechend der BondBuffer-Technologie ausgelegt. Da die Cu-Drähte eine bessere Stromtragfähigkeit haben, beträgt der Gesamtquerschnitt der Einzeldrähte $A_{Cu} = 0,78 \text{ mm}^2$, im Gegensatz zum Al Querschnitt der Referenzaufbauten von $A_{Al} = 1,26 \text{ mm}^2$.

Als $Z_{th \text{ vj-c}}$ wurde bei allen Baugruppen der thermische Widerstand zwischen der Sperrschicht und der Bodenplatte, wie es in der Abb. 4-26 bereits gezeigt wurde, definiert. Als Randbedingungen für die Simulation wurden ein fester Wärmeübergangskoeffi-

zient von 5000 W/(mK) auf der Unterseite der Bodenplatte und eine konstante Verlustleistung auf der Oberfläche des Halbleiters von 350W definiert.

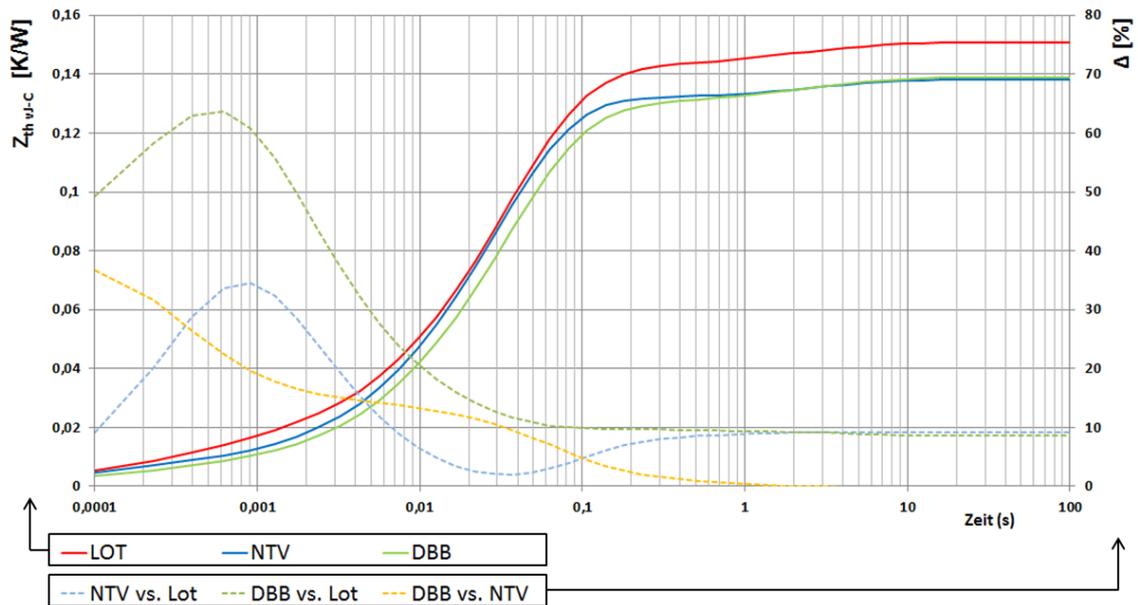


Abb. 5-24: BondBuffer-Simulationen zu der thermischen Impedanz.

Die Z_{th} -Verläufe (linke y-Achse in der Abb. 5-24) bestätigen die Erwartung, dass die BondBuffer-Technologie deutliche Vorteile in der thermischen Impedanz liefert. Sowohl im Z_{th} als auch im R_{th} liegt die DBB-Kurve unter der LOT-Kurve. Der geringe R_{th} (Zeit $\gg 1s$) ist dabei auf die Sinterverbindung unter dem Halbleiter als Substitut zu einer Lotschicht zurückzuführen. Das bestätigen auch die Technologie-Vergleichskurven, die auf der rechten y-Achse Δ [%] aufgetragen sind, die den thermischen Unterschied zwischen zwei Technologien in Prozent darstellen.

Der Vorteil im R_{th} ist sowohl bei der „NTV vs. Lot“ als auch bei der „DBB vs. Lot“ Kurve zu erkennen, deren Widerstände im stationären Bereich um knapp 10% geringer als die der Lot-Technologie sind.

Der BondBuffer tritt besonders in den kurzen Zeiten ($\ll 1s$) in Erscheinung, da die thermische Kapazität des Cu-Buffers eine Zeitverzögerung beim Aufheizen verursacht. Laut Simulation ist dadurch der $Z_{th\ vj-c}$ bei 1ms um 60% und bei 10ms um noch 20% geringer als bei der LOT-Referenz. Auch im Vergleich zum Z_{th} der NTV Technologie sind Vorteile im Zeitbereich unter 1 Sekunde festzustellen, die über die „DBB vs. NTV“-Kurve dargestellt sind und bei einer Zeit von 10 ms etwa 15% betragen.

Durch die bessere Wärmeleitfähigkeit einer Sinterverbindung profitiert allerdings auch schon die NTV-Variante, deren Z_{th} bei 1ms um 33% und bei 10ms um 7% geringer im Vergleich zum Lot ist.

Die Z_{th} -Kurven der DBB- und der NTV-Variante laufen im stationären Zustand ($>1s$) aufeinander, da der wesentliche thermische Pfad in Richtung des Kühlers bei beiden Aufbauten identisch ist. Würde man den Gesamtquerschnitt der Kupferdrähte auf der Oberseite dem der Al-Drähte anpassen, so könnten auch beim R_{th} Vorteile erzielt werden, da ein Teil der Wärmeenergie über die Cu-Drähte abgeführt werden könnte. In dieser Simulation beträgt das Querschnittsverhältnis zwischen Cu/Al allerdings 0,62%, so dass der Vorteil einer besseren Wärmeleitfähigkeit von Cu bereits durch eine höhere Leistungsdichte in den Drähten kompensiert wurde.

Durch variierende Cu-Schichten des BondBuffers und Änderungen in der Zahl der Bonddrähte bzw. dem Querschnitt der Einzeldrähte kann die thermische Impedanz stark beeinflusst und somit die thermische Belastung der Halbleiter und Verbindungsstellen beeinflusst werden.

5.3.2 Stromtragfähigkeit von Kupferdrähten

Für die Entwicklung der BondBuffer-Technologie war es erforderlich, die Stromtragfähigkeit der Cu-Drähte bei einer maximalen Drahttemperatur in Abhängigkeit von variierenden Randbedingungen vorhersagen zu können.

- Drahtdurchmesser
- Drahtlänge
- Temperatur 1st Bond
- Temperatur 2nd Bond

Dafür wurden thermoelektrische Simulationen durchgeführt, aus deren Ergebnissen ein Modell für die Vorhersage der Drahttemperatur bei beliebigen Randbedingungen (innerhalb realistischer Grenzen) abgeleitet werden konnte. In der Abb. 5-25 ist die Simulationsbaugruppe und der zugrundeliegende Versuchsplan am Beispiel eines 500 μ m Cu-Drahtes abgebildet.

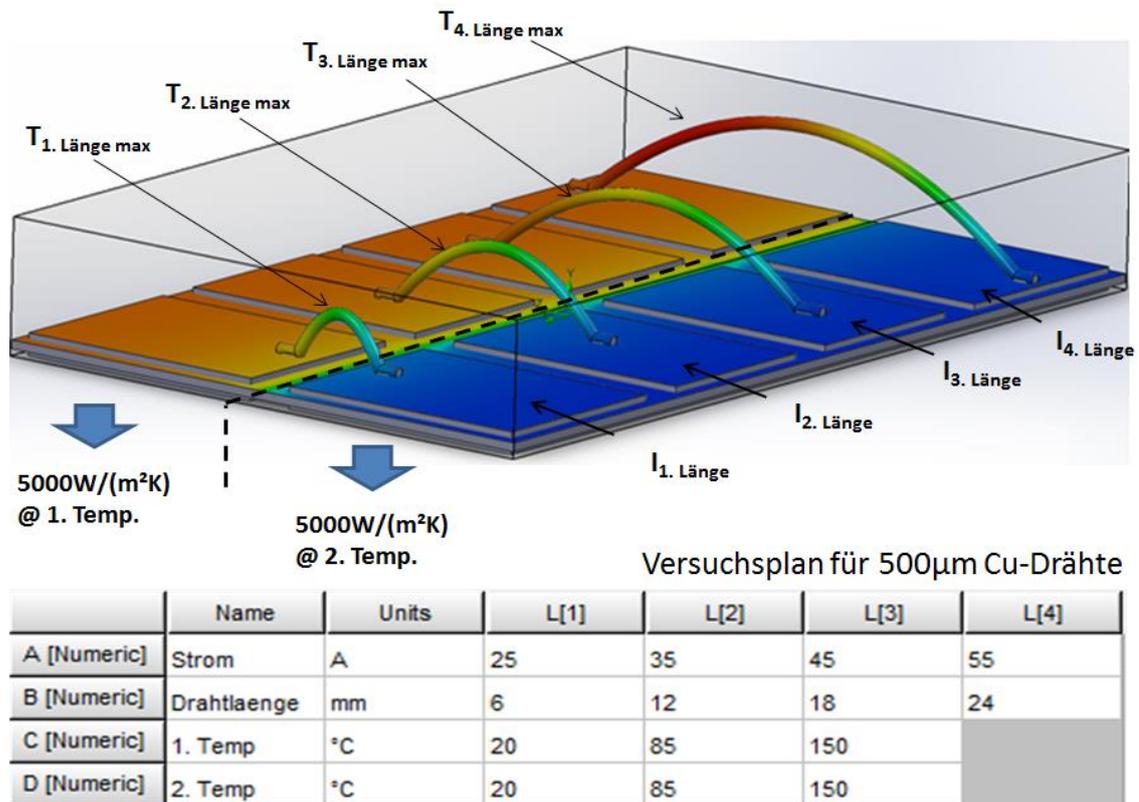


Abb. 5-25: Simulationsmodell und Versuchsplan für einen 500µm Cu-Draht

Um den Einfluss der unterschiedlichen Faktoren (A-D) auf die Zielgröße, der maximalen Drahttemperatur, zu ermitteln, wurden die Werte in mehreren Schritten unterteilt (L[1]-L[4]). Daraus ergibt sich ein vollfaktorieller Plan mit 144 Einzelversuchen, die mit dem gezeigten 500µm-Cu-Modell simuliert wurden (siehe Abb. 5-25; durch eine Simulation konnten dank der unterschiedlichen Drahtlängen vier Ergebnisse generiert werden). Jede Simulation hat als Ergebnis die maximale Temperatur des Bonddrahtes im eingeschwungenen Zustand ermittelt.

Mit Hilfe der Software „Design-Expert“ wurden dann die Daten ausgewertet und ein mathematisches Modell generiert, welches das Verhalten der maximalen Drahttemperatur bei den unterschiedlichen Randbedingungen möglichst genau widerspiegelt.

Die Abb. 5-26 zeigt zwei dreidimensionale Diagramme, in denen die einzelnen Simulationenpunkte (rote Punkte) entsprechend der simulierten Drahtlänge und Stromstärke eingetragen sind (x- und y-Achse). Die Höhenlage des Punktes (z-Achse) entspricht der maximalen Drahttemperatur. Der Unterschied zwischen dem linken und rechten Diagramm ist auf die zwei Bondfußtemperaturen zurückzuführen, die bei allen dargestellten Simulationen in einem Diagramm gleichgesetzt sind.

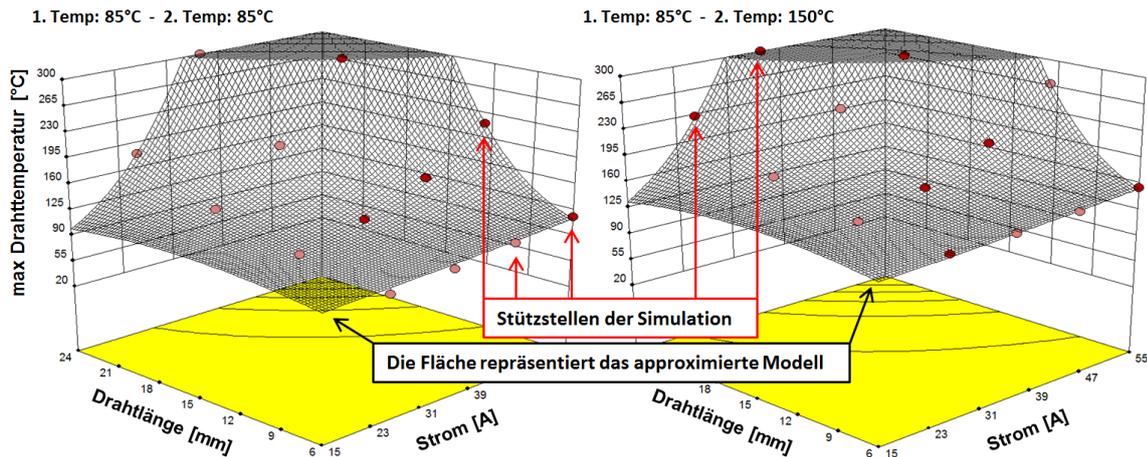


Abb. 5-26: Darstellung der Simulationsergebnisse des 500 μ m-Drahtes bei unterschiedlichen Randbedingungen.

Das approximierte Modell eines 500 μ m-Cu-Drahtes ist als Mantelfläche in der Abb. 5-26 dargestellt, das durch die einzelnen Stützstellen der Simulation verläuft. Dank der geringen Abweichung zwischen dem Modell und den Stützstellen kann die maximale Drahttemperatur nun bei variierenden Eingangsgrößen (Strom, Drahtlänge, Bondfußtemperaturen) schnell vorhergesagt werden.

Analog zu der beschriebenen Vorgehensweise bei dem 500 μ m-Modell wurde auch für den 300 μ m- und den 400 μ m-Cu-Draht ein numerisches Modell generiert.

Die Formeln zu den einzelnen Modellen befinden sich im Anhang A „Numerische Simulationsmodelle - Stromtragbarkeit Cu-Bond“.

Die Abb. 5-27 und Abb. 5-28 zeigen in einer topologischen Darstellung welche maximale Temperatur sich bei variierendem Strom (x-Achse) und variierender Drahtlänge (y-Achse) in einem 400 μ m-Draht einstellt. Der Unterschied zwischen den beiden Abbildungen ist, dass sich die Drahtkonfiguration aus Abb. 5-27 auf einen Draht mit unterschiedlichen Bondfußtemperaturen bezieht, während der Draht in der Abb. 5-28 zwei gleiche Temperaturniveaus kontaktiert. So lassen sich unterschiedliche Drähte betrachten, die zum Beispiel mit einem Bondfuß die Chipoberseite und mit dem anderen die DCB-Oberfläche oder aber zwei Substratoberflächen verbinden.

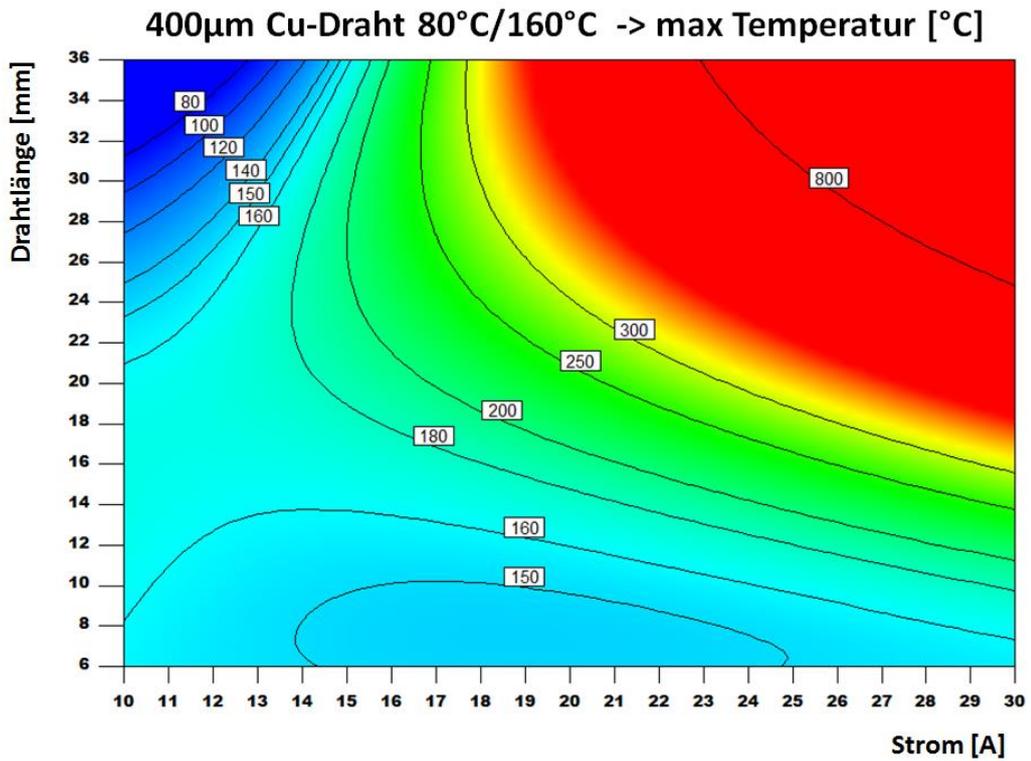


Abb. 5-27: Beispiel für einen 400µm-Cu-Draht mit $T_1 = 80^\circ\text{C}$ und $T_2 = 160^\circ\text{C}$ bei variierender Drahtlänge und variierendem Strom.

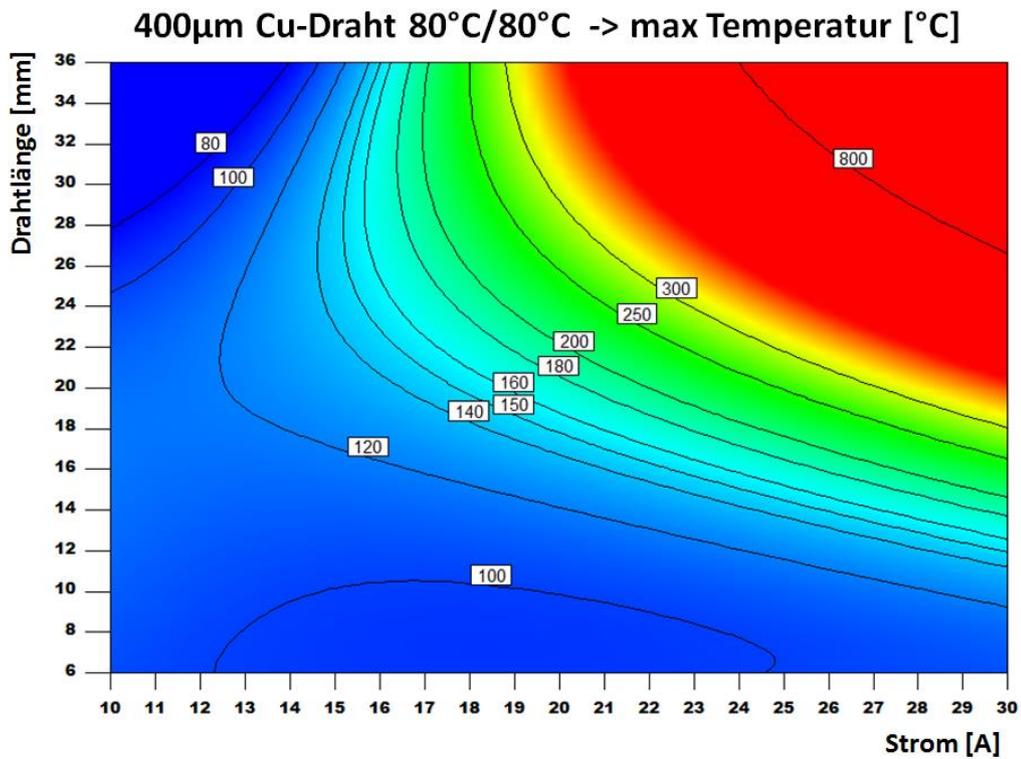


Abb. 5-28: Beispiel für einen 400µm-Cu-Draht mit $T_1 = 80^\circ\text{C}$ und $T_2 = 80^\circ\text{C}$ bei variierender Drahtlänge und variierendem Strom.

6 Experimentelle Ergebnisse

6.1 Messungen zur thermischen Impedanz

Für die Messung der thermischen Impedanz wurden drei unterschiedliche Proben aufgebaut. Die Konfiguration der Messobjekte entsprach dabei den virtuellen Baugruppen, die bereits in Kapitel 5.3.1 vorgestellt wurden (siehe Abb. 5-23: Virtuelle Baugruppen für die Z_{th} -Simulationen).

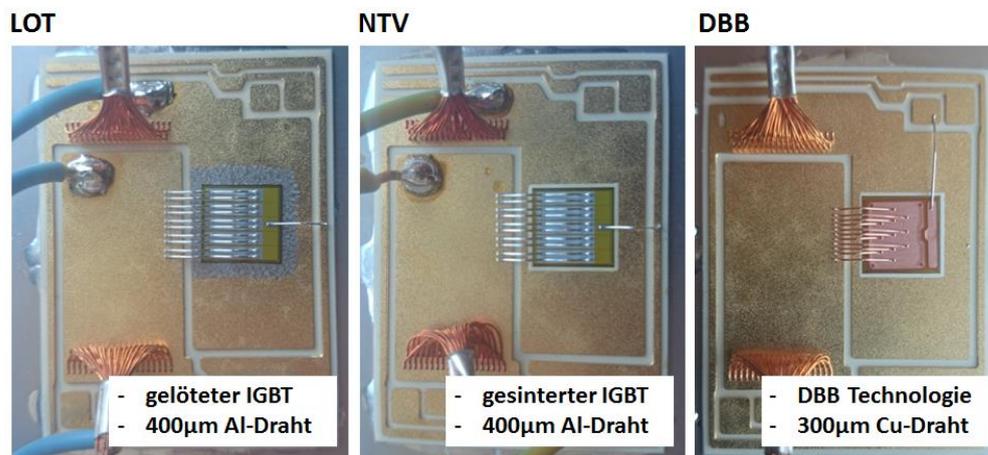


Abb. 6-1: Prüflinge für die Z_{th} -Messung (IGBT $V_{CE}= 650V$ $I_C= 300A$ @ $20^{\circ}C$)

Um $Z_{th\ vj-C}$ bestimmen zu können, muss die Temperatur an der Bodenplatte T_C ermittelt werden. Dafür wurde eine Adapterplatte mit integriertem Messfühler zwischen der Bodenplatte und dem Wasserkühler, wie in Abb. 6-2 zu sehen ist, positioniert.

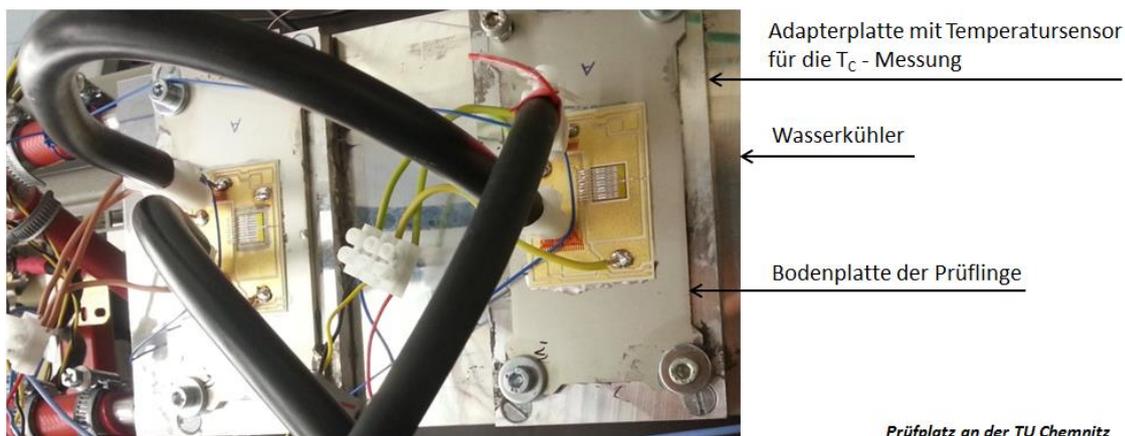


Abb. 6-2: Aufbau für die Z_{th} Messung

Für die virtuelle Junctiontemperatur T_{vj} wird der Spannungsabfall U_{CE} im Verlauf der Abkühlkurve bei einem Messstrom von 100mA gemessen, der linear von der Temperatur abhängig ist. Aus einem zuvor durchgeführten Kalibrierdurchlauf lässt sich dann bei gegebenem Messstrom die Temperatur zu einer gemessenen Spannung ableiten, wie es in [57] beschrieben wird.

Sobald der hohe Laststrom nach einer definierten Zeit auf den Messstrom abgeklungen ist, kann der Abkühlverlauf aufgezeichnet werden, aus dessen Interpolation die Abschalttemperatur T_0 in der Vergangenheit approximiert werden kann [65].

Da der Z_{th} -Verlauf für gewöhnlich als Sprungantwort der Aufheizkurve dargestellt wird, kann man den zeitabhängigen Temperaturverlauf der Abkühlkurve über folgende Formel invertieren:

$$Z_{th\ vj-c}(t) = \frac{T_0 - (T_{vj}(t) - T_c(t))}{P_0} \quad (10)$$

P_0 und T_0 sind dabei die Verlustleistung und Temperatur der Sperrschicht, bevor der Laststrom abgeschaltet wurde.

Die Messungen wurden bei einem Laststrom von $I_{CE} = 275A$ durchgeführt. Der Laststrom wurde nach einer Sekunde abgeschaltet, wodurch sich der Halbleiter von etwa 150°C auf die Kühlertemperatur von 20°C abgekühlt hat.

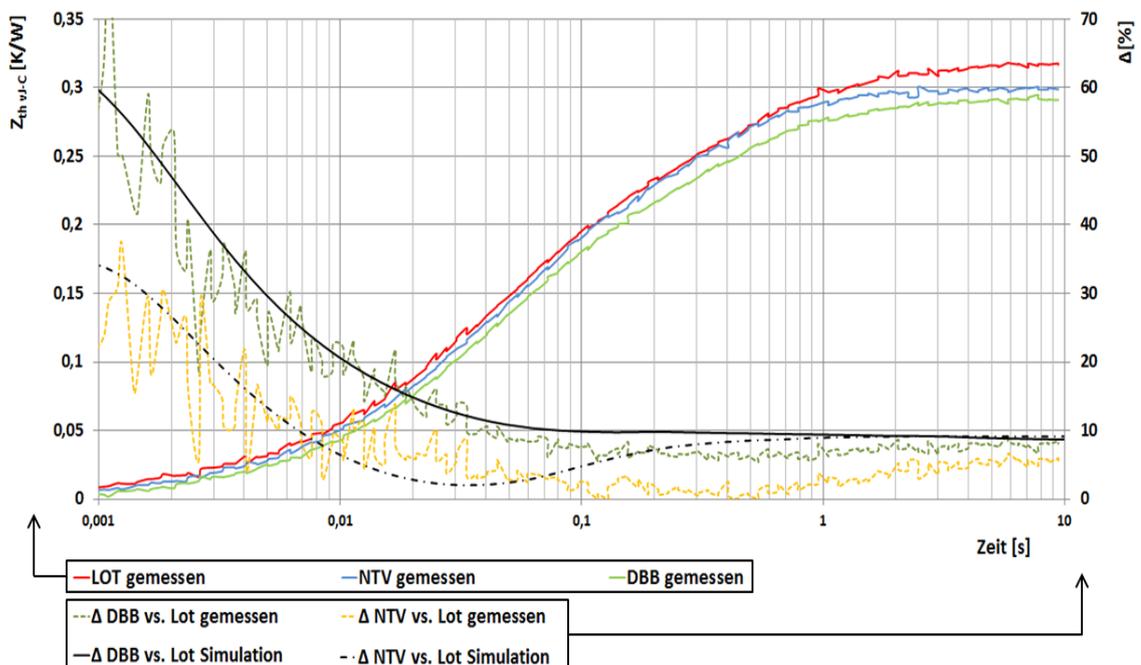


Abb. 6-3: Gemessene Z_{th} -Verläufe unterschiedlicher Aufbauten im Vergleich zu der Simulation Abb. 5-24

Die Messergebnisse bestätigen die thermischen Vorteile der BondBuffer-Technologie im Vergleich zum herkömmlichen Aufbau (LOT), wie es bereits aus der FEM-Simulation in Kapitel 5.3.1 hergeleitet wurde. Um den Vergleich zwischen der Simulation und den Messergebnissen zu erleichtern, wurden die Kurven der relativen Unterschiede aus der Simulation in der Abb. 6-3 eingefügt. Diese Kurven zeigen auf der Sekundärachse ($\Delta[\%]$), um wieviele Prozent der thermische Widerstand zum jeweiligen Zeitpunkt geringer ist. Ein absoluter Vergleich zwischen Simulation und Experiment ist nicht möglich gewesen, da der thermische Widerstand am Messplatz deutlich höher ausgefallen ist als im virtuellen Raum. Das kann an der stark reduzierten Wärmeabfuhr der Bodenplatte über die Wärmeleitpaste liegen, wodurch die thermischen Spreizeffekte anders wirken und sich das Verhalten des Stapels verändert. Darüber hinaus wurde der Z_{th} -Verlauf bei der Simulation aus der Aufheizkurve ermittelt, wodurch vermutlich auch geringe Abweichungen vom Experiment zurückzuführen sind.

Da jedoch die relativen Aussagen aus den Simulationsergebnissen weitestgehend mit denen der Experimente übereinstimmen, konnte der Nachweis für bessere thermische Eigenschaften erbracht werden.

- Die DBB Technologie reduziert den R_{th} eines herkömmlich gelöteten Aufbaus um etwa 7-10%.
- Besonders im Zeitbereich $< 100\text{ms}$ kann der Z_{th} deutlich reduziert werden. Sowohl die Simulation als auch das Experiment bestätigen eine Reduzierung des Z_{th} von 20% bei 10ms und 60% bei 1ms für den gezeigten Halbleiter. Bei anderen Aufbauten ist ein ähnlich gutes Verhalten zu erwarten.

6.2 Untersuchungen zu der Durchlassspannung

Um die Durchlassverluste der DBB-Technologie im Vergleich zum herkömmlichen Modul beurteilen zu können, wurde ein IGBT-Typ der Firma Infineon in unterschiedlichen Technologiestufen aufgebaut und vermessen (alle Halbleiter sind von einem Wafer).

- IGBT: SIGC100T65R3E, $I_{C_nom} = 200\text{A}$, $BV_{Ces} = 650\text{V}$, $10,23 \times 9,73\text{mm}$

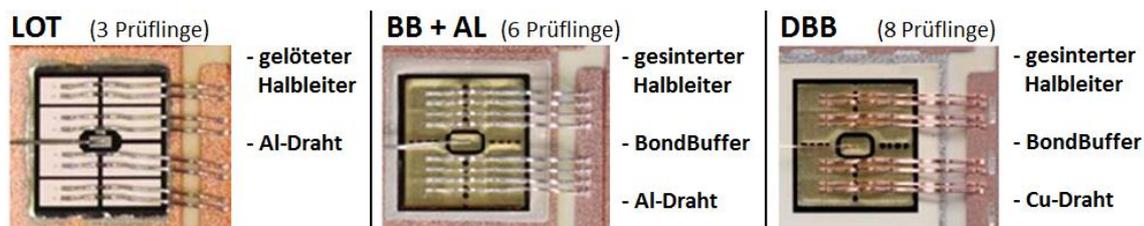


Abb. 6-4: Messobjekte zum Bestimmen der Durchlassverluste

Quelle: [59]

Die unterschiedlichen Aufbauten wurden alle einer identischen Messroutine unterzogen, in der die Durchlassspannung in Abhängigkeit vom Strom aufgezeichnet wurde.

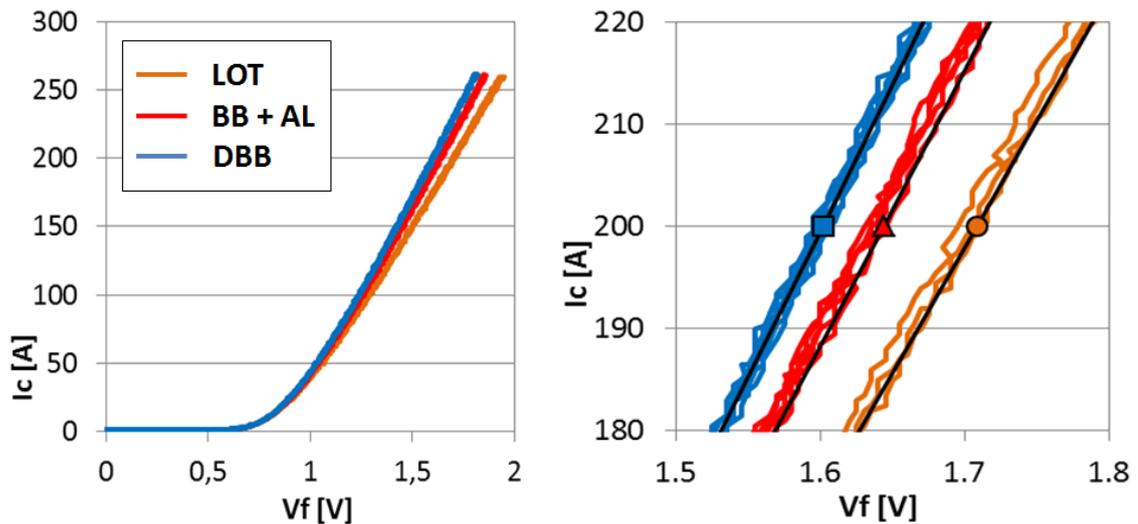


Abb. 6-5: Durchlassspannung unterschiedlicher Aufbauvarianten

Quelle: [59]

Die Ergebnisse zeigen bei einem Nennstrom von 200A für die DBB-Technologie einen um 100 mV geringeren Spannungsabfall im Vergleich zu der gelöteten Referenz. Bei dem BondBuffer-Aufbau mit Al-Drähten beträgt die Differenz zu der LOT-Variante etwa 60mV.

Neben der besseren Leitfähigkeit der Kupfer- im Vergleich zu den Aluminiumdrähten fällt der BondBuffer für den lateralen Stromfluss auf der Halbleiteroberseite entscheidend ins Gewicht. Während sich bei einem herkömmlichen Aufbau der Laststrom durch eine sehr dünne Aluminiummetallisierung über die Halbleiteroberfläche ausbreiten muss, bringt die DBB-Technologie einen massiven Kupferquerschnitt für den lateralen Stromfluss und sorgt somit für eine homogene Stromdichteverteilung über die gesamte Halbleiteroberfläche.

6.3 Messungen zu der Stromtragfähigkeit von Cu-Drähten

Um die Simulationsmodelle aus Kapitel 5.3.2 zu verifizieren, wurden mehrere Proben aufgebaut, an denen die Temperaturen unterschiedlicher Bonddrähte in Abhängigkeit vom Strom gemessen werden konnten.

6.3.1 Thermisch symmetrisch belasteter Cu-Draht

Für den symmetrisch belasteten Draht wurden unterschiedliche Bondlayouts auf die Oberfläche einer DCB gebondet. Für jeden Drahtdurchmesser (300µm, 400µm und 500 µm) ist eine Probe mit variierenden Drahtlängen angefertigt worden.

Das Substrat wurde dann, wie in Abb. 6-6 (links) gezeigt, in vorgefertigte Ausschnitte der Bodenplatte geklebt.

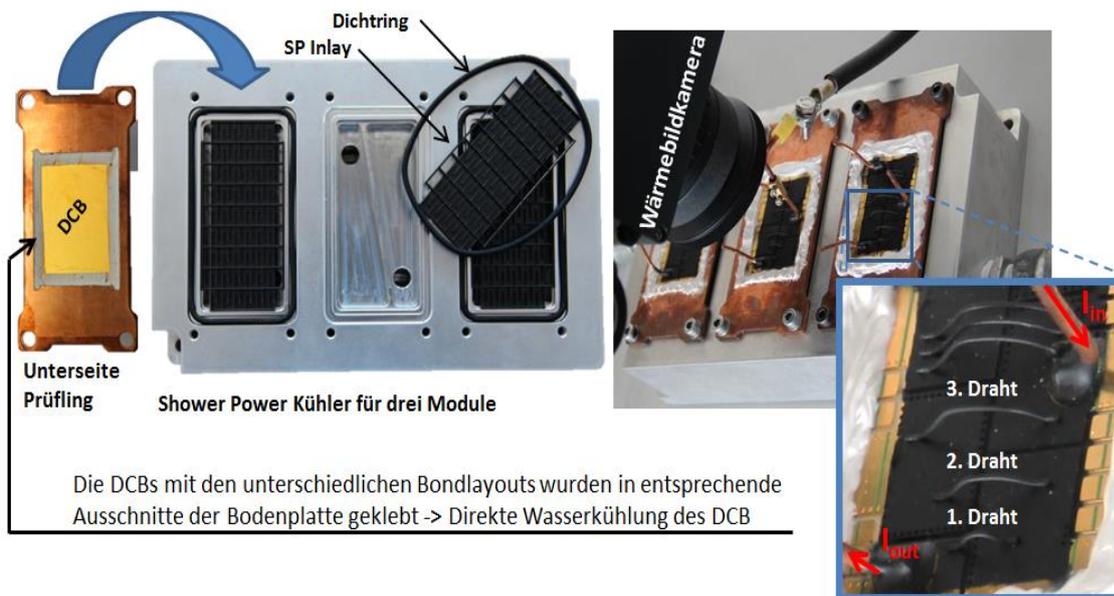


Abb. 6-6: Messplatz zum Prüfen der Stromtragfähigkeit von Cu-Drähten

Die Bodenplatten mit den Substraten wurden im Anschluss auf den Shower-Power-Kühler geschraubt, wodurch die Substrate auf der Unterseite direkt von dem verwirbelnden Wasser gekühlt werden. Das entspricht dann etwa dem Wärmeübergangskoeffizienten von $5000\text{W}/(\text{m}^2\text{K})$, wie er in der Simulation angenommen wurde.

Um die absoluten Temperaturen auf der Oberfläche der Prüflinge mit Hilfe einer Infrarotkamera messen zu können, wurde ein spezieller Thermographielack verwendet, der für einen konstanten Emissionsgrad nahe 1 (schwarzer Strahler) über die gesamte Messoberfläche sorgt. Dadurch kann der Messfehler bei dem thermographischen Verfahren gering gehalten werden.

Die Kühlwassertemperatur sollte ursprünglich konstante 30°C betragen, allerdings erhöhte sich diese mit der Zeit geringfügig aufgrund eines Defektes im Kühlaggregat. Die Untersuchungen konnten jedoch fortgesetzt werden, da alle Temperaturen aufgezeichnet wurden und entsprechend im Vergleich mit der Simulation berücksichtigt

werden konnten. Die Abb. 6-7 zeigt alle Messergebnisse in Relation zu den Simulationsergebnissen.

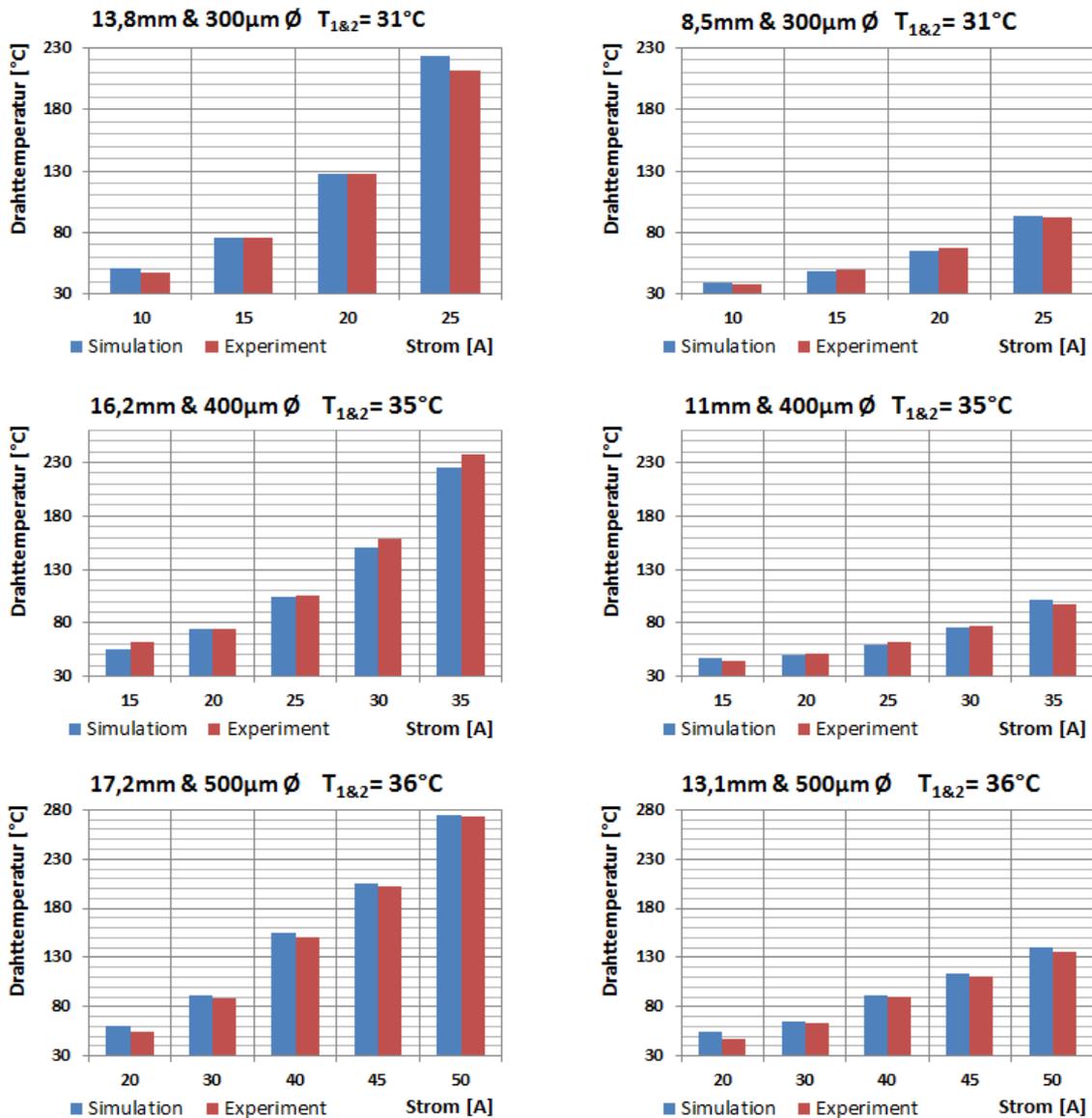


Abb. 6-7: Vergleich zwischen Experiment und Simulation – symmetrischer Temperaturverlauf

Bei allen Aufbauten ist eine gute Übereinstimmung zwischen den simulierten und den experimentell ermittelten Maximaltemperaturen der Cu-Bonddrähte festzustellen.

6.3.2 Thermisch unsymmetrisch belasteter Cu-Draht

Um auch den Anwendungsfall eines „unsymmetrischen Drahtes“ durch ein Experiment zu prüfen, wurde eine Diode mit 400µm Cu-Drähten kontaktiert (durch die BondBuffer-Technologie) und auf demselben Prüfplatz aufgebaut. Der Aufbau wurde durch einen Strom von 105A belastet, sodass sich aufgrund der Verlustleistung ein Tempera-

turgredient auf den Oberflächen um die Diode einstellt. Da die vier Cu-Bonddrähte alle eine gleiche Länge besitzen, teilt sich der Laststrom auf 26,25A pro Draht auf. Mit Hilfe der Wärmebildkamera konnten nun die Oberflächentemperaturen des geschwärzten Prüflings ermittelt werden, um die erforderlichen Eingabewerte von T_1 und T_2 an das Simulationsmodell geben zu können, wie es im linken Bereich der Abb. 6-8 zu sehen ist.

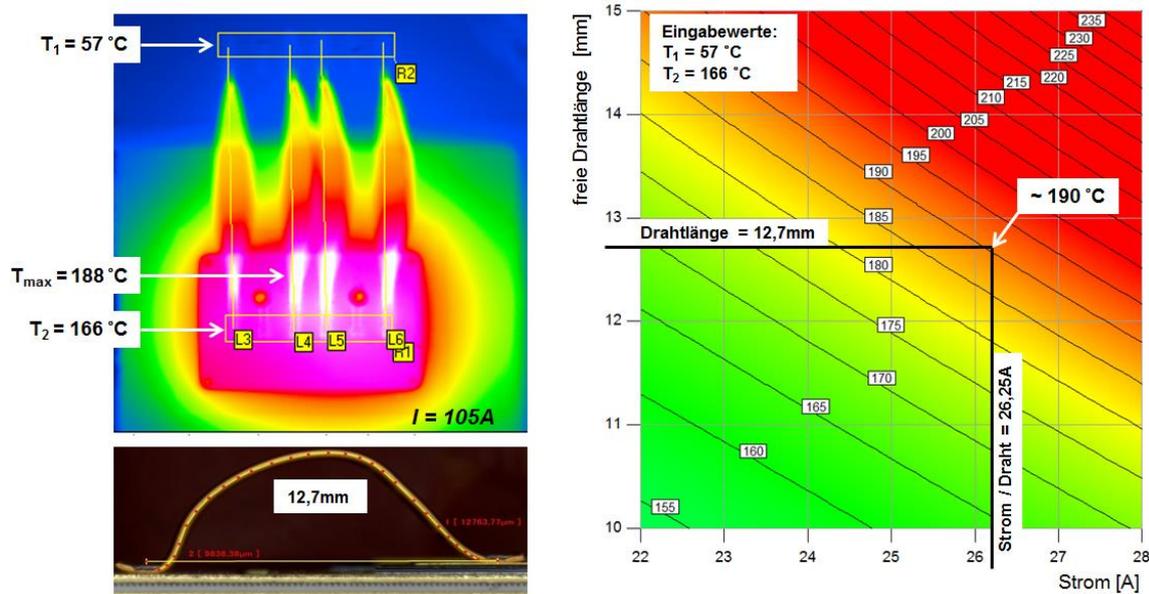


Abb. 6-8: Vergleich zwischen Experiment und Simulation – unsymmetrischer Temperaturverlauf

Um den Einzeldraht bei dem erwünschten Gesamtstrom von etwa 100A höher zu belasten, wurden zwei Cu-Drähte von der Oberfläche des Halbleiters getrennt. Die zwei orangen Flecken, zentral im Infrarot-Bild, sind darauf zurückzuführen.

Der Vergleich zwischen Experiment und Simulation zeigt auch für einen „unsymmetrischen Draht“ eine gute Übereinstimmung. Die maximalen Drahttemperaturen bei der gebondeten Diode betragen etwa 188°C. Das auf Simulationen basierende Modell berechnet aus den gegebenen Randbedingungen $T_1 = 57^\circ\text{C}$ und $T_2 = 166^\circ\text{C}$ eine topologische Darstellung (siehe Abb. 6-8 – links), in der man unter der entsprechenden Drahtlänge und zugrundeliegenden Stromstärke eine Vorhersage von 190°C bekommt.

Da bei der Modulentwicklung der Laststrom und die Oberflächentemperaturen oftmals bekannt sind, ist das Modell als Basis für die Dimensionierung der Cu-Bonddrähte gut geeignet.

6.4 Zuverlässigkeitsuntersuchungen

6.4.1 Aktive Lastwechseluntersuchung an einer 1700V-DBB-Halbbrücke

Für den aktiven Lastwechseltest wurden die DBB-Substrate, wie sie bereits in Abb. 5-1 gezeigt wurden, in ein gerahmtes Bodenplattenmodul gelötet, das über Wärmeleitpaste thermisch angekoppelt auf dem Kühler am Prüfstand montiert wurde.

Ein Laststrom von 100A fließt seriell durch alle sechs Module, in denen jeweils zwei IGBTs (high- und low-side) in Reihe geschaltet sind.

Die zwölf IGBTs wurden dabei unter folgenden Testbedingungen geprüft:

- t_{on} = 1s
- t_{off} = 6s
- T_{min} = 20°C
- ΔT = 130°C
- P = konstant

Die Entscheidung fiel für die Testbedingung $P_{constant}$, da unter diesen Bedingungen sehr viele Erfahrungswerte bestehen, an denen die DBB-Technologie gemessen werden sollte. So erreicht der 1700V-Halbleiter in Standardaufbauten (gelötet auf das Substrat und mit Al-Drähten gebondet) unter dem genannten Lastwechselprofil eine Zyklenzahl von knappen 25.000 Lastwechseln.

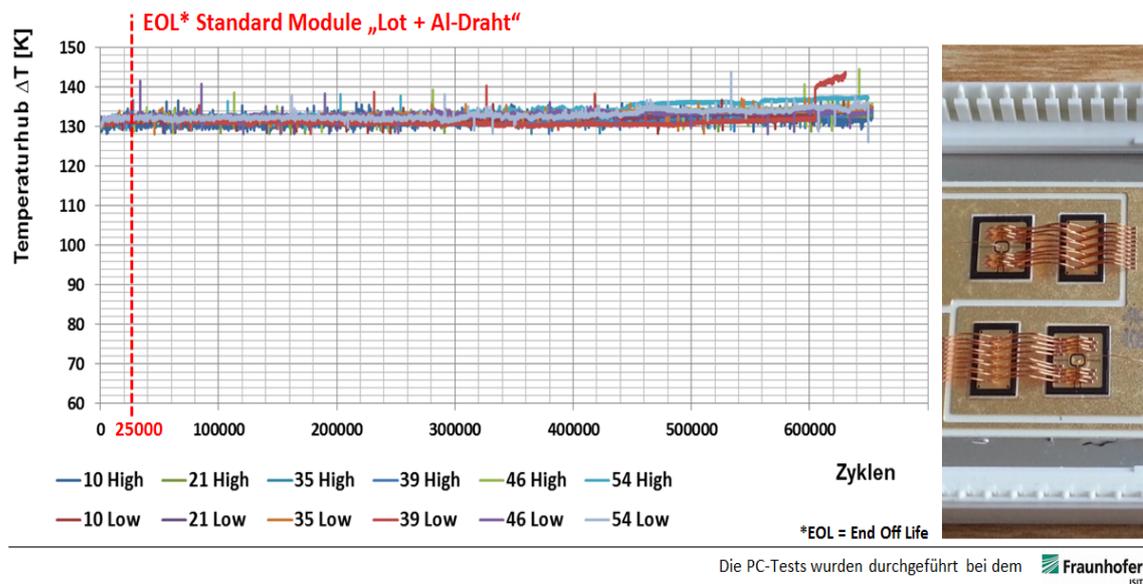


Abb. 6-9: Lastwechselergebnisse – 1700V Halbbrücke DBB-Technologie

Die konstanten Verläufe in dem Temperaturhub der einzelnen Prüflinge, wie sie in der Abb. 6-9 zu sehen sind, zeigen die hohe Zuverlässigkeit der DBB-Technologie. Der erste Ausfall eines DBB-IGBTs entstand nach etwa 630.000 Lastwechseln. Dieser Ausfall konnte auf Risse in der Sinterverbindung zum BondBuffer zurückgeführt werden, die sehr nahe der Halbleitermetallisierung verliefen. Sowohl die Bonddrähte als auch die Sinterverbindung zwischen Halbleiter und Substrat zeigten keine massiven Alterungserscheinungen.

Hinsichtlich der zugrundeliegenden Prozesse für den Aufbau der DBB-Technologie war das in Abb. 6-9 dokumentierte Ergebnis ebenso erfreulich, da einige systematische Fehler im Design und Prozess behoben werden konnten, die beim gleichen Halbleiter in vorangegangenen Aufbauchargen zu weit früheren Ausfällen geführt hatten. Dieses zeigen die folgenden Ergebnisse (Abb. 6-10), die unter den gleichen Testbedingungen generiert wurden (Die eingetragenen Fähnchen kennzeichnen die Ausfälle mit der entsprechenden Lastwechselzahl).

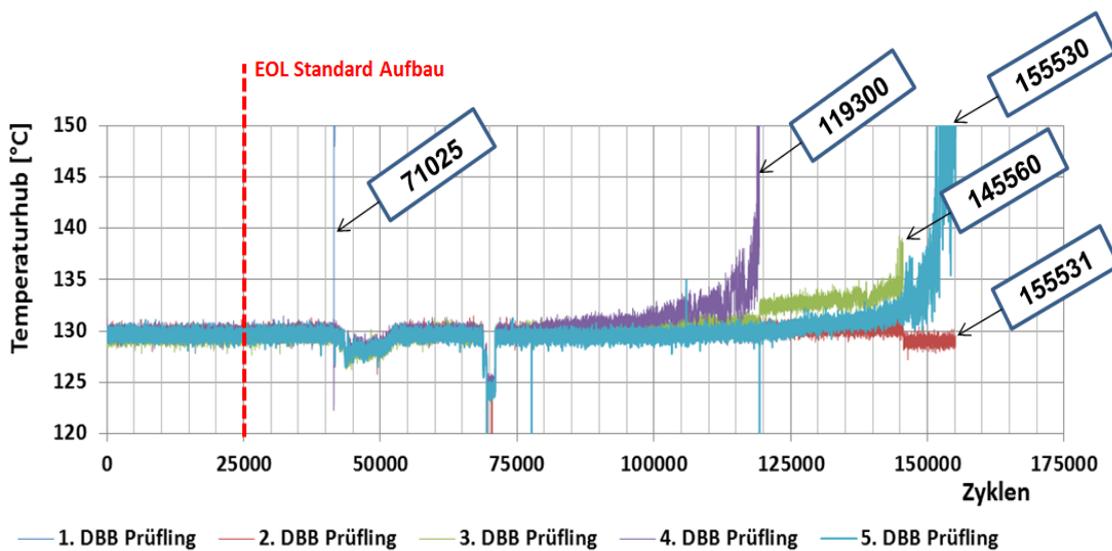


Abb. 6-10: Vorangegangene Lastwechseluntersuchung – 1700V IGBT DBB-Technologie

Die damaligen Ausfälle waren alle auf Delaminationen unter dem BondBuffer zurückzuführen, die an unterschiedlichen Stellen in der Ag-Verbindungsschicht aufgetreten sind. In der Sinterverbindung zwischen Halbleiter und Substrat konnten nach dem Lastwechseltest keine massiven Degradationserscheinungen festgestellt werden.

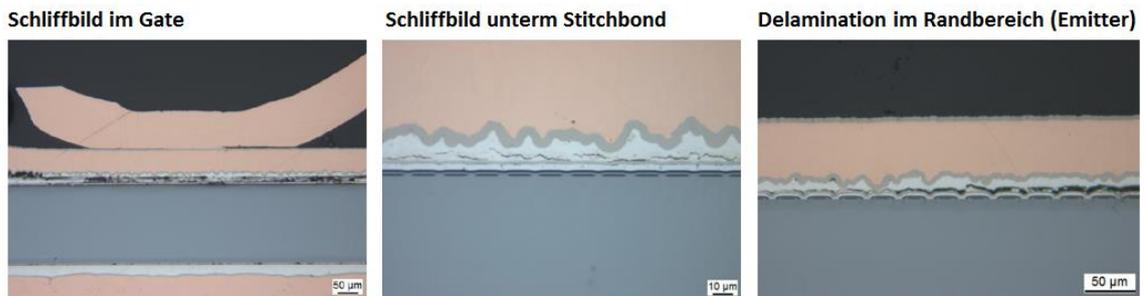


Abb. 6-11: Schliffbilder der ersten BondBuffer Lastwechselproben 1700V – Delaminationen in der Sinterverbindung zum BondBuffer

Bei den sehr frühen Ausfällen (siehe Abb. 6-10 -71025) hat sich oftmals das Gate-Potential des BondBuffers von der Oberfläche gelöst, wie es in der Abb. 6-11 (linkes Bild) zu sehen ist. Es konnten jedoch auch Vorschädigungen in der Verbindungsschicht detektiert werden, die auf schwankende oder problembehaftete Fertigungsprozesse zurückzuführen waren. So konnten Haarrisse in der Sinterverbindung zum BondBuffer nachgewiesen werden, die auf den Cu-Bondprozess zurückzuführen waren (Abb. 6-11 - mittleres Bild).

Die Verbesserungen in den jüngsten Lastwechselergebnissen (siehe Abb. 6-9) sind besonders auf die Optimierung im Ag-Beschichtungsprozess (siehe Abb. 5-20) und die dadurch engeren Toleranzen in der Schichtstärke sowie auf die Entwicklung im Cu-Bondprozess mit Hilfe neuer Bondtools und optimierter Schweißprofile zurückzuführen.

Wenn man den Grad der Verbesserung zum gelöteten und Al-gebondeten Halbleiter betrachtet, stellt man einen beträchtlichen Fortschritt in der Zuverlässigkeit durch die DBB-Technologie fest.

- In der beschriebenen Konfiguration der Prüflinge und der Testroutine konnte eine bedeutsam höhere Zuverlässigkeit der DBB-Technologie, relativ zum Standard, nachgewiesen werden, die sich auf etwa den Faktor 25 belief.

6.4.2 Temperaturwechselbeständigkeit

Um die Temperaturwechselbeständigkeit der chipnahen Verbindungen zu testen, wurden mehrere DCB-Substrate für den Temperaturschockwechseltest aufgebaut. Mittels einer Ultraschallanalyse sollte dabei untersucht werden, ob Veränderungen gegenüber dem Ausgangszustand der Sinterverbindungen nach der Belastung festzustellen sind. Der Fokus lag bei der Untersuchung auf zwei Verbindungsebenen:

1. Sinterverbindung zwischen Halbleiter und Substrat (~30µm Schichtstärke)
2. Sinterverbindung zwischen BondBuffer und Halbleiter (~15µm Schichtstärke)

Auf den Substraten wurde ein 1700V - Halbleiterset bestehend aus je zwei IGBTs und Dioden als Halbbrücke angeordnet. Diese Substrate wurden dann einem Temperaturschockwechseltest (siehe Kapitel 3.1.1) ausgesetzt. Es handelte sich dabei um ein „Luft zu Luft“⁴-betriebenes Zweikammersystem mit -40°C und +150°C. Da die thermische Kapazität der DCB-Prüflinge nicht sehr groß ist, wurde eine Verweilzeit von 15 Minuten pro Kammer eingestellt (Stationärer Zustand wird nach etwa drei Minuten erreicht).

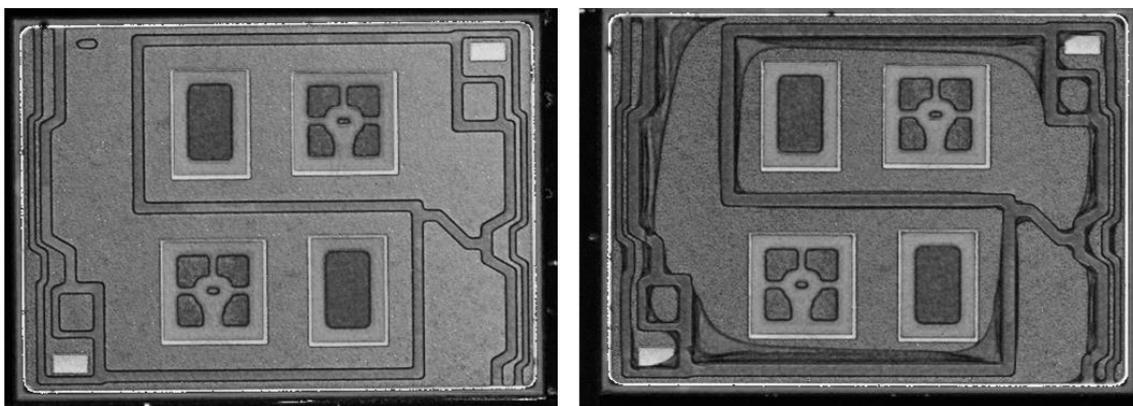


Abb. 6-12: SAM⁵ Bilder Temperaturschockwechsel (links: 0 Zyklen rechts: 750 Zyklen)

Die Ergebnisse zeigen, dass die Sinterverbindungen den Belastungen standhalten. Es sind keine signifikanten Veränderungen der Verbindungen nach 750 Zyklen festzustellen. Das Substrat hat jedoch erwartungsgemäß den hohen thermomechanischen Kräften nicht standgehalten. Das Kupfer löst sich von der Keramik, was in einer deutlichen Kontur in den Ultraschallbildern erkennbar wird (siehe Abb. 6-12 – rechtes Bild). Es ist leicht zu schlussfolgern, dass die Delamination in den Ecken beginnt und mit steigender Zyklenzahl die Fläche weiter einschnürt.

⁴ Als Wärmeübergangsmedium dient in beiden Kammern Luft. Alternativ gibt es auch flüssige Medien.

⁵ Scanning acoustic microscopy

7 Zusammenfassung und Ausblick

Es konnte gezeigt werden, dass die aktive Lastwechselbeständigkeit eines Leistungsmoduls durch das Substituieren der herkömmlichen Halbleiterverbindungen drastisch gesteigert werden kann. Die dabei entstandenen Modifikationen am konventionellen Leistungsmodul sind in der DBB-Technologie zusammengeführt, die im Rahmen dieser Arbeit entwickelt wurde.

Ein wesentlicher Baustein ist dabei der Sinterprozess, durch den sowohl die hochrobusten Halbleiter-Substrat-Verbindungen als auch die stoffschlüssigen Anbindungen der BondBuffer realisiert werden. Durch die Entwicklung geeigneter Werk- und Halbzuge können alle Komponenten im Bestückungsprozess effizient und stabil zueinander platziert und im Anschluss durch einen quasihydrostatischen Sinterprozess zeitgleich in einem Werkzeug gefügt werden. Die Fertigungskosten für die DBB-Technologie können somit durch skalierbare Werkzeugkonzepte⁶ gering gehalten werden. Besonders der für einen sicheren Bestückprozess entwickelte BondBuffer leistet dabei einen erheblichen Beitrag zu einem kostengünstigen Produktionsprozess. Der zweite zentrale Baustein für die DBB-Technologie ist das Cu-Drahtbunden, wodurch ein hochzuverlässiger Kontakt zu der Halbleiteroberseite geschlossen wird. In einer Reihe von Versuchen mit unterschiedlichen Halbleitern konnte gezeigt werden, dass der BondBuffer dabei die hohen Kräfte im Cu-Bondprozess absorbiert und den Halbleiter vor Schäden bewahrt. Bis zu 400µm starke Cu-Drähte wurden bei dem Aufbau von DBB-Prüflingen gebondet, ohne diese zu beschädigen. Die Layout-Flexibilität sowie fertigungstechnische Abläufe beim Cu-Drahtbunden entsprechen dabei in etwa dem herkömmlichen Al-Bondprozess, sodass Risiken und Kosten der neuen Technologie gut abschätzbar sind.

Neben der hohen Lastwechselbeständigkeit, deren Nachweis in Kapitel 6.4.1 erbracht wird, werden auch aus thermischer Sicht deutliche Fortschritte durch die neue Technologie erzielt. Die thermische Impedanz des Stapels wird durch die Kapazität des BondBuffers positiv beeinflusst. Der Z_{th} wird dabei besonders bei kurzzeitigen Stoßbelastungen signifikant herabgesetzt (siehe Kapitel 6.1). Außerdem werden die Durchlassverluste am Halbleiter reduziert, da zum einen der Werkstoff Kupfer im Vergleich zu Aluminium einen geringeren spezifischen Innenwiderstand auszeichnet, zum anderen die

⁶ Mehrere Teile liegen im Werkzeug und werden durch einen Prozess zeitgleich bearbeitet.

BondBuffer-Technologie im Vergleich zum herkömmlichen Aufbau eine deutlich homogenere Stromverteilung auf der Halbleiteroberfläche erzielt. Wie in Kapitel 6.2 beschrieben, gewährleistet der Querschnitt des BondBuffers einen besseren lateralen Stromfluss als die dünne Metallisierungsschicht in einem Standardmodul.

Die positiven Eigenschaften der DBB-Technologie ermöglichen es, die Leistungsdichte zukünftiger Module und damit ihre Nutzbarkeit auf vielfältigen Anwendungsfeldern deutlich zu steigern. Neben der hohen Stromtragfähigkeit von Cu-Drähten (siehe Kapitel 5.3.2) spielen dabei besonders die Zuverlässigkeit und Temperaturbeständigkeit der DBB-Technologie eine wesentliche Rolle, da ein Anstieg der Leistungsdichte in der Regel mit steigenden Temperaturen einhergeht.

Alternative Konzepte für hochzuverlässige Aufbauten, wie sie in Kapitel 4.3 beschrieben sind, zeigen ebenso einen Fortschritt im Vergleich zu herkömmlichen Aufbauten. Die dort genutzten Maßnahmen unterscheiden sich allerdings teils deutlich von der DBB-Technologie, die entsprechend der eigenen Zielsetzung und Rahmenbedingungen ausgelegt wurde.

Die eigenen Erwartungen an die neue Technologie konnten besonders hinsichtlich folgender Kriterien erreicht werden:

- aktive Lastwechselbeständigkeit
Ein Verbesserungsfaktor von etwa 25 konnte nachgewiesen werden.
- Hochtemperaturbeständigkeit
Lotschichten mit niedrigem Schmelzpunkt wurden durch Ag-Sinterschichten ersetzt
- Thermische Impedanz
*Sinterverbindung mit guter thermischer Leitfähigkeit implementiert.
Positiver Einfluss auf den Z_{th} durch die Kapazität des BondBuffers.*
- Elektrische Leitfähigkeit
Geringere Durchlassverluste konnten nachgewiesen werden.
- Fertigungsprozesse
Bis auf das Sintern ist die Prozessfolge weitestgehend kompatibel zu konventionellen Fertigungskonzepten.

Die DBB-Technologie wird in Zukunft gemeinsam mit der Firma Danfoss weiterentwickelt, sodass solche hochzuverlässigen Leistungsmodule effizient und kostengünstig produziert und mit Aussicht auf guten Erfolg an den Markt gebracht werden können. Dafür sind weitere Untersuchungen zu den BondBuffer-Strukturen vorgesehen, die

sowohl die Prozessstabilität als auch die thermischen und elektrischen Eigenschaften positiv beeinflussen sollen. Besonders hinsichtlich der Gate-Kontaktierung stehen weitere Optionen an, die beurteilt werden müssen. So ließe sich zum Beispiel das Gate-Potential im BondBuffer aussparen, um durch einen dünnen Al-Draht (125µm) direkt das Gate auf dem Halbleiter zu kontaktieren. Da der Gate-Draht nicht den Laststrom trägt, könnte die hohe Zuverlässigkeit des Systems äquivalent sein. Einige Lastwechsel-ergebnisse in [66] bestätigen die Möglichkeit, mit dünnen Al-Drähten auf der Halbleiteroberseite eine hohe Zuverlässigkeit zu erreichen, ebenso Ergebnisse aus dem BMBF-Förderprojekt ProPower, wo ein dünner Al-Draht (125µm) auf dem Gate auch bei hohen Temperaturhüben von $\Delta T = 150^\circ\text{C}$ weit über eine Millionen Zyklen bei einer ΔT -geregelter Lastwechselstrategie übersteht. (Diese Ergebnisse werden in dem Projektabschlussbericht Ende 2015 für die Öffentlichkeit verfügbar sein)

Dadurch können die Struktur des BondBuffers vereinfacht und Prozessstreuungen reduziert werden, was letztlich zur Steigerung der Wirtschaftlichkeit beitragen dürfte.

Außerdem sind umfangreiche Untersuchungen geplant, das Verhalten der DBB-Technologie im Kurzschluss- bzw. Überlastfall eines Leistungsmoduls zu prüfen. Durch die robusten Verbindungen zum Halbleiter und zur Cu-Lage des BondBuffers kann das System unter gewissen Umständen einen niederohmigen Zustand nach dem „Durchbrennen“ des Halbleiters einnehmen und dadurch deutliche Vorteile gegenüber konventionellen Modultechnologien erbringen.

Es ist zu erwarten, dass durch die Weiterentwicklung der Sintertechnologie neue Möglichkeiten entstehen, von der die DBB-Technologie profitieren könnte. So laufen Untersuchungen zum direkten Sintern auf Kupferoberflächen, wodurch die Ni/Au-Metallisierungen der Fügepartner eingespart werden können. Außerdem sollen Cu-Ribbons für das Bonden der BondBuffer erprobt werden, um durch eine geringe Höhe des Ribbons die Streuinduktivität im Modul zu reduzieren. Außerdem würde ein Cu-Ribbon mehrere Cu-Drähte ersetzen, wodurch die Taktzahl im Prozess reduziert und die Wirtschaftlichkeit gesteigert werden kann.

Anhang

A. Numerische Simulationsmodelle - Stromtragbarkeit Cu-Bond

Mit den Formeln kann man bei gegebenem Strom, Drahtlänge und Bondfußtemperaturen die maximale Drahttemperatur eines Cu-Drahtes berechnen. Die einzelnen Koeffizienten (linke Spalte) werden mit den Variablen multipliziert. Die Summe aus den einzelnen Zeilen entspricht dann der Wurzel der Temperatur.

A1. 300 µm-Cu-Drahtmodell

Sqrt(Temp)	=
-1.41426	
+0.07462	* 1. Temperatur
+0.07819	* 2. Temperatur
+0.64386	* Drahtlänge
+0.55708	* Strom
-5.41061 E-004	* 1. Temperatur * 2. Temperatur
-1.04076 E-003	* 1. Temperatur * Drahtlänge
-1.28491 E-003	* 1. Temperatur * Strom
-1.11393 E-003	* 2. Temperatur * Drahtlänge
-1.46126 E-003	* 2. Temperatur * Strom
-0.09917	* Drahtlänge * Strom
-0.02085	* Drahtlänge^2
-8.88066 E-003	* Strom^2
+1.01903 E-005	* 1. Temperatur * 2. Temperatur * Drahtlänge
+1.53586 E-005	* 1. Temperatur * 2. Temperatur * Strom
+3.65107 E-003	* Drahtlänge^2 * Strom
+2.11793 E-003	* Drahtlänge * Strom^2

A2. 400 µm-Cu-Drahtmodell

Sqrt(Temp) =

+0.090821

+0.17332 * Strom

+0.69856 * Drahtlänge

+0.079482 * 1. Temperatur

+0.078809 * 2. Temperatur

-0.075850 * Strom * Drahtlänge

-9.32266 E-004 * Strom * 1. Temperatur

-8.95360 E-004 * Strom * 2. Temperatur

-1.72708 E-003 * Drahtlänge * 1. Temperatur

-1.69920 E-003 * Drahtlänge * 2. Temperatur

-5.57201 E-004 * 1. Temperatur * 2. Temperatur

+3.89967 E-003 * Strom^2

-5.89443 E-003 * Drahtlaenge^2

+2.92518 E-005 * Strom * Drahtlänge * 1. Temperatur

+2.59086 E-005 * Strom * Drahtlänge * 2. Temperatur

+7.85690 E-006 * Strom * 1. Temperatur * 2. Temperatur

+1.38790 E-005 * Drahtlänge * 1. Temperatur * 2. Temperatur

+1.11111 E-003 * Strom^2 * Drahtlänge

+2.22394 E-003 * Strom * Drahtlaenge^2

-1.12190 E-004 * Strom^3

-5.31191 E-004 * Drahtlaenge^3

A3. 500 µm-Cu-Drahtmodell

Sqrt(Temp) =

+1.20799

-7.66714 E-003 * Strom

+0.89812 * Drahtlänge

+0.069294 * 1. Temperatur

+0.069294 * 2. Temperatur

-0.047496 * Strom * Drahtlänge

-3.08118 E-004 * Strom * 1. Temperatur

-3.08118 E-004 * Strom * 2. Temperatur

-8.35083 E-004 * Drahtlänge * 1. Temperatur

-8.35083 E-004 * Drahtlänge * 2. Temperatur

-7.32258 E-004 * 1. Temperatur * 2. Temperatur

+4.52381 E-003 * Strom^2

-0.031458 * Drahtlaenge^2

+4.64847 E-005 * 1. Temperatur^2

+4.64847 E-005 * 2. Temperatur^2

+5.71446 E-006 * Strom * 1. Temperatur * 2. Temperatur

+1.51767 E-005 * Drahtlänge * 1. Temperatur * 2. Temperatur

+4.70447 E-004 * Strom^2 * Drahtlänge

+1.60983 E-003 * Strom * Drahtlaenge^2

-1.07977 E-006 * Strom * 1. Temperatur^2

-1.07977 E-006 * Strom * 2. Temperatur^2

-2.71004 E-006 * Drahtlänge * 1. Temperatur^2

-2.71004 E-006 * Drahtlänge * 2. Temperatur^2

+4.86091 E-007 * 1. Temperatur^2 * 2. Temperatur

+4.86091 E-007 * 1. Temperatur * 2. Temperatur^2

-5.92715 E-005 * Strom^3

Literaturverzeichnis

- [1] B. Huang, H. Hwang, N. Lee, „A Compliant and Creep Resistant SAC-Al(Ni) Alloy,“ in *Proc. of Electronics Components and Technology Conference (ECTC)*, Reno, 2007, pp. 184-191.
- [2] M. Poech, „Schädigungsmechanismen in Lötverbindungen bei erhöhter Temperatur,“ in *VTE Heft 1*, 2002, pp. 12-18.
- [3] H. Bell, M. Poech, C. John, „Temperaturprofil für das Reflowlöten,“ in *Elektronik, Produktion und Prüftechnik (EPP) No 6/7*, 2003, p. 6.
- [4] K. Römer PINK Vakuumtechnik GmbH, „Lötstellen ohne Lunker,“ *Productronica Magazin*, November 2005.
- [5] T. Kucharek, „Cleaning of Power Module Substrates,“ *Bodo's Power Systems*, May 2012.
- [6] K.-D. Lang, „Drahtbonden in der Mikroelektronik,“ BioAVT Workshop, 2003.
- [7] K.-D. Lang, „Qualitätssicherung im Zyklus II der Herstellung elektronischer Bauelemente am Beispiel des Drahtbondens,“ Habilitationsschrift Humboldt Universität Berlin, 1988.
- [8] F. Osterwald, „Verbindungsbildung beim Ultraschall-Drahtbonden - Einfluss der Schwingungsparameter und Modellvorstellung,“ Dissertation Technische Universität Berlin, 1999.
- [9] G. Finis, „Das Verhalten von Silikongel unter hohen elektrischen Feldstärken,“ Dissertation Universität Kassel, 2005.
- [10] E. Geinitz, T. Jacke, D. Michels, G. Braun, St. Keil, „High performance power module for hybrid- and electric vehicles,“ in *Advanced Packaging Conference*, Semicon, 2013.
- [11] Y.C. Gerstenmair, W. Kiffe, G. Wachutka, „Combination of Thermal Subsystems Modeled by Rapid Circuit Transformation,“ in *Proc. of Thermal Investigation of ICs and Systems (THERMINIC)*, Budapest, 2007, pp. 115-120.

- [12] J. Rösler, H. Harders, M. Bäker, *Mechanisches Verhalten der Werkstoffe*, Springer Vieweg, 4. Auflage 2012.
- [13] J. Schulz-Harder, „Advantages and New Development of direct Bonded Copper Substrates,“ in *Microelectronics Reliability Vol. 43*, 2003, pp. 359-365.
- [14] KCC Corporation, „Technical Specification of DCB substrates,“ http://component.ru/sites/default/files/Technical_Specification_of_DBC_and_AMB_substrates_0.pdf, 2012, Zugriff am 05.01.2015.
- [15] A. Birolini, *Zuverlässigkeit von Geräten und Systemen*, Springer, 1997.
- [16] S. Benz, „Eine Entwicklungsmethodik für sicherheitsrelevante Elektroniksysteme im Automobil,“ Dissertation Universität Karlsruhe, 2004.
- [17] J. Rudzki und R. Eisele, „Reliability of Ag Sintering vs. Soldering,“ ECPE Workshop Advanced PE Packaging and Mechatronic System Integration, Paris, 2009.
- [18] R. Eisele, J Rudzki, M. Kock, „Pressure Sintering for Thermal Stack Assembly,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2007.
- [19] M. Hold, P. Jacob, G. Nicoletti, P. Scacco, M.-H. Poech, „Fast Power Cycling Test for IGBT Modules in Traction Application,“ in *Proc. of Power Electronics and Drive Systems*, 1997, pp. 425-430.
- [20] R. Amro, J. Lutz, A. Lindemann, „Power Cycling with High Temperature Swing of Discrete Components based on Different Technologies,“ in *Proc. of the Power Electronics Specialists Conference (PESC)*, Aachen, 2004, pp. 2593 - 2598 .
- [21] S. Schuler, U. Scheuermann, „Impact of test control strategy on power cycling lifetime,“ in *Proc. of the Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2010, p. 355.
- [22] J. Lutz, *Halbleiterleistungsbaulemente*, Springer Vieweg , 2012.
- [23] T. Laska, G. Miller, M. Pfaffenlehner, P. Turkes, D. Berger, B. Gutschmann, P. Kanschat, M. Munzer, „Short Circuit Properties of Trench-/Field-Stop-IGBTs - Design Aspects for a Superior Robustness,“ in *Proc. of Power Semiconductor Devices and ICs* , 2003, pp. 152-155.

- [24] M. Bäßler, P. Kanschat, A. Ciliox, F. Umbach, C. Schaeffer und F. Hille, „1200V IGBT4-High Power – a new Technology Generation with Optimized Characteristics for High Current Modules,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2006.
- [25] K. Guth, D. Siepe, J. Görlich, H. Torwesten, R. Roth, F. Hille, F. Umbach, „New assembly and interconnects beyond sintering methods,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2010, pp. 232-237.
- [26] ed. By H.Baker, ASM Handbook Vol.3 Alloy Phase Diagrams, ASM International, Ohio, 1992.
- [27] C. Erhardt, M. Hutter, H. Oppermann, K. Lang, „A Lead Free Joining Technology for High Temperature Interconnects Using Transient Liquid Phase Soldering (TLPS),“ in *Proc. of the Electronics Components and Technology Conference (ECTC)*, Orlando, 2014, pp. 1321-1327.
- [28] R. Aschenbrenner, M. Schneider-Rammelow, *Microelectronic Packaging in the 21st Century*, Fraunhofer Verlag, 2014.
- [29] Curamik, „Technical-Data-Sheet-curamik-Ceramic-Substrates,“ [Online]. Available: <http://www.rogerscorp.com/documents/3018/curamik/Technical-Data-Sheet-curamik-Ceramic-Substrates.pdf>. [Zugriff am Januar 2015].
- [30] A. Hensler, J. Lutz, M. Thoben und K. Guth, „First Power Cycling Results of Improved Packaging Technologies for Hybrid Electrical Vehicle Applications,“ 6th International Conference on Integrated Power Electronics Systems (CIPS), Nürnberg, 2010.
- [31] C. Herold, A. Hensler, J. Lutz, M Thoben und T. Gutt, „Power Cycling Capability of New Technologies in Power Modules for Hybrid Electric Vehicles,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2012, pp. 486-493.
- [32] H. Greve, P. McCluskey, „Reliability on Sn based LT-TLPS Joints for High Temperature Electronic Systems,“ 8th International Conference on Integrated Power Electronics Systems (CIPS), Nürnberg, 2014.
- [33] C. Mertens, „Die Niedertemperatur-Verbindungstechnik der Leistungselektronik,“

Dissertation Technische Universität Braunschweig, 2004.

- [34] J. Rudzki, „Aufbaukonzepte für die Leistungselektronik mit der Niedertemperatur-Verbindungstechnik,“ Dissertation Technische Universität Braunschweig, 2009.
- [35] N. Heuck, K. Guth, M. Thoben, A. Müller, N. Oeschler, L. Böwer, R. Speckels, S. Krasel, A. Ciliox, „Aging of new Interconnect-Technologies of Power-Modules during Power-Cycling,“ 8th International Conference on Integrated Power Electronics Systems (CIPS), Nürnberg, 2014.
- [36] Abschlussbericht, „SuperPowerMOS,“ BMBF Verbundprojekt Förderkennzeichen 13N9616, 2011.
- [37] F&K Delvotec, „More Performance at Lower Coast - Heavy Aluminium Ribbon Bonding,“ 2007.
- [38] E.I.V. Almagro, T. Honorio, Jr. Granada, „Stack Bonding Technique Using Heavy Aluminum Ribbon Wires,“ in *Proc. of the Electronics Packaging Technology Conference (EPTC)*, Singapore, 2008, pp. 976-981.
- [39] J. Dalin, A. Knauber, R. Reiter, V. Wesling und J. Wilde, „Novel aluminium/copper fiber- reinforced bonding wires for power electronics,“ in *Proc. of the Electronics Systemintegration Technology Conference (ESTC)*, Dresden, 2006, pp. 1274-1278.
- [40] Heraeus, „Large Diameter Copper Bonding Wire for Power Applications,“ [Online]. Available: http://heraeus-contactmaterials.com/media/webmedia_local/media/downloads/documentsbw/factsheets_bw_2012/Factsheet_PowerCu_2012.pdf. [Zugriff am Januar 2015].
- [41] U. Scheuermann, „Extension of Operation Temperature Range to 200°C Enabled by Al/Cu Wire Bonds,“ *Power Electronics Europe*, 2012.
- [42] R. Schmidt, U. Scheuermann und E. Milke, „Al-Clad Cu Wire Bonds Multiply Power Cycling Lifetime of Advanced Power Modules,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2012, pp. 776-784.
- [43] C. Luechinger, T. Loh, K. Oftebro, G. Wong, „Composite Aluminum-Copper Ribbon Bonding - Heel Reliability,“ in *International Symposium on Microelectronics (IMAPS)*, 2007.

- [44] H. Kuchling, Taschenbuch der Physik, Fachbuchverlag Leipzig 18.Auflage.
- [45] Abschlussbericht WIRECOAT, „Entwicklung einer Prozesskette für die Herstellung, die Verarbeitung und den Einsatz von beschichteten Bonddrähten,“ BMBF Förderprojekt Kennzeichen 02PG2340-2349, 2009.
- [46] N. Marengo, M. Kontek, W. Reinert, J. Lingne, M. Poech, „Copper Ribbon Bonding for Power Electronics Applications,“ Microelectronics Packaging Conference (EMPC), Grenoble, 2013.
- [47] E. R. Motto, J. F. Donlon, „IGBT Module with User Accessible On-Chip Current and Temperature,“ in *Proc. of the Applied Power Electronics Conference and Exposition (APEC)*, Orlando, 2012, pp. 176-181.
- [48] T. Ueda, N. Yoshimatsu, N. Kimoto, D. Nakajima, M. Kikuchi, T. Shinohara, „Simple, Compact, Robust and High-Performance Power Module T-PM (Transfer-molded Power Module),“ in *Proc. of Power Semiconductor Devices & IC's (ISPSD)*, Hiroshima, 2010, pp. 47-50.
- [49] K. Weidner, M. Kaspar, N. Seliger, „Planar Interconnect Technology for Power Module System Integration,“ 7th International Conference on Integrated Power Electronics Systems (CIPS), Nürnberg, 2012.
- [50] P. Beckedahl, M. Hermann, M. Kind, M. Knebel, J. Nascimento, A. Wintrich, „Performance comparison of traditional packaging technologies to a novel bond wire less all sintered power module,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2011, pp. 247-252.
- [51] U. Scheuermann, „Reliability of Planar SKiN Interconnect Technology,“ 7th International Conference on Integrated Power Electronics Systems (CIPS), Nürnberg, 2012.
- [52] P. Beckedahl, M. Spang, O. Tamm, „Breakthrough into the third dimension - Sintered multi layer flex for ultra low inductance power modules,“ 8th International Conference on Integrated Power Electronics Systems (CIPS), Nürnberg, 2014.
- [53] M. Hori, M. Saito, Y. Hinata, N. Nashida, Y. Ikeda, E. Mochizuki, „Compact, Low Loss and High Reliable Next Generation Si-IGBT Module with Advanced Structure,“

in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2014, pp. 472-477.

- [54] K. Takahashi, S. Yoshida, S. Noguchi, H. Kuribayashi, N. Nashida, Y. Kobayashi, H. Kobayashi, K. Mochizuki, Y. Ikeda, T. Heinzl, O. Ikawa, „1200V Class Reverse Conducting IGBT Optimized for Hard Switching Inverter,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2014, pp. 198-206.
- [55] F. Graser, „Neues Keramiksubstrat verzehnfacht Lebensdauer von Leistungselektronik,“ *Elektronik PRAXIS*, 2012.
- [56] A. Ciliox, J. Görlich, K. Guth, F. Hille, S. Krasel, P. Luniewski, D. Siepe, P. Szczupak, F. Umbach, „New module generation for higher lifetime,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2010, pp. 238-243.
- [57] U. Scheuermann, R. Schmidt, „Investigations on the Vce (T)-Method to Determine the Junction Temperature by Using the Chip Itself as Sensor,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2009, pp. 802-805.
- [58] J. Rudzki, F. Osterwald, M. Becker, R. Eisele, „Novel Cu-bond contacts on sintered metal buffer for power module with extended capabilities,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2012, pp. 784-791.
- [59] G. Mannmeusel, M. Bäßler, H. Ströbel-Maier, M. Becker, F. Osterwald, „Influence of Danfoss Bond Buffer and Cu-Wire Bonds on the Electrical Switching Behaviour of IGBTs,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2014, pp. 182-190.
- [60] Danfoss Silicon Power, „<http://siliconpower.danfoss.com/themes/Danfoss-Bond-Buffer/>,“ Danfoss, Januar 2015. [Online].
- [61] Goodfellow, „<http://www.goodfellow.com/>,“ Silberfolie AG000350, Dezember 2014. [Online].
- [62] J. KIM, K.S. KIM, Y.H. KIM, „Mechanical effects in peel adhesion test,“ *J. Adhesion Sci. Technol. Vol. 3*, 1989.

- [63] Y. Wei, J.W. Hutchinson, „Interface strength, work of adhesion and plasticity in the peel test,“ *International Journal of Fracture*, 1998.
- [64] K. Johal, H. Roberts, „Electroless Nickel / Immersion Gold Process Technology for Improved Ductility of Flex and Rigid-Flex Applications,“ *Pan Pacific Symposium*, 2005.
- [65] C. Herold, M. Beier, J. Lutz, A. Hensler, „Improving the Accuracy of Junction Temperature Measurement with the Square-Root-t Method,“ in *Proc. of Thermal Investigations of ICs and Systems (THERMINIC)*, Berlin, 2013, pp. 92-94.
- [66] A. Hutzler, A. Tokarski, S. Kraft, S. Zischler, A. Schletz, „increasing the lifetime of electronic packaging by higher temperatures: solders vs. silver sintering,“ *Electronic Components and Technology Conference (ECTC)*, Orlando, 2014.
- [67] D. Hopkins, „Excerpt - Direct Bonded Copper,“ Ph.D University at Buffalo, 2003.
- [68] G. Palm, „Verfahren zur Befestigung von elektronischen Bauelementen auf einem Substrat“. Patent DE102004056702 B3, 2004.
- [69] R. Eisele, D. Migdalek, T. Rabsch, J. Rudzki, „Reliable Chip Contact Joining,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2009, pp. 723-728.
- [70] J. Rudzki, F. Osterwald, M. Becker, R. Eisele, M. Poech, „Power Modules with Increased Power Density and Reliability Using Cu Wire Bonds on Sintered Metal Buffer Layers,“ in *Proc. of Integrated Power Systems (CIPS)*, Nürnberg, 2014, pp. 450-455.
- [71] M. Becker, J. Rudzki, R. Eisele, „Improved thermo-mechanical properties of a new bonding and joining technology lead to highly reliable modules for advanced power electronic applications,“ in *Proc. of Microtechnology and Thermal Problems in Electronics (MICROTHERM)*, Lodz, 2013, pp. 22-28.
- [72] J.A. King, *Materials Handbook for Hybrid Microelectronics*, Artech House Publishers, 1988.
- [73] W.M. Haynes, *CRC Handbook of Chemistry and Physics*, Taylor & Francis Ltd. 93. Auflage, 2012 .
- [74] R. Amro, J. Lutz, J. Rudzki, R. Sittig und M. Thoben, „Power Cycling at High

Temperature Swing of Modules with Low Temperature Joining Technique,“ 18th International Symposium on Power Semiconductor Devices & ICs, Naples, 2006.

- [75] J. Göhre, „Entwicklung und Implementierung einer verbesserten Lastwechseltestmethode zur experimentellen Bestimmung der Zuverlässigkeit von Dickdrahtbonds in Leistungsmodulen,“ Dissertation Technische Universität Berlin, 2013.
- [76] M. Poech, R. Eisele, „Modelling the Mechanical Behaviour of Large-Area Solder Joints,“ in *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2000.
- [77] M. Knecht, R. Tschirbs, R. Ott, „Superior Assembly Technology,“ www.powersystemsdesign.com, May 2011.

Veröffentlichungen und Patente

- [I] M. Becker, R. Eisele, F. Osterwald, J. Rudzki, „Power semi-conductor chip with a metal moulded body for contacting thick wires or strips, and method for the production thereof,” Patent - WO2013053420

- [II] M. Becker, R. Eisele, F. Osterwald, J. Rudzki, „Verfahren zur schaffung einer Verbindung zwischen metallischen Formköpern und einem Leistungshalbleiterchip, die zur Verbindung mit Dickdrähten oder Bändchen dienen,” Patent - WO2013053419

- [III] J. Rudzki, F. Osterwald, M. Becker, R. Eisele, „Novel Cu-bond contacts on sintered metal buffer for power module with extended capabilities,” Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM), Nürnberg, 2012, pp. 784-791

- [IV] M. Becker, J. Rudzki, R. Eisele, „Improved thermo-mechanical properties of a new bonding and joining technology lead to highly reliable modules for advanced power electronic applications,” Proc. of Microtechnology and Thermal Problems in Electronics (MICROTHERM), Lodz, 2013, pp. 22-28

- [V] R. Bredtmann, K. Olesen, J. Rudzki, R. Eisele, M. Becker „Neue Aufbautechnik für das Hybrid-Fahrvergnügen,” August 2013,
<http://www.elektroniknet.de/automotive/infotainment/artikel/100424>

- [VI] G. Mannmeusel, M. Bäßler , H. Ströbel-Maier, M. Becker, F. Osterwald, „Influence of Danfoss Bond Buffer and Cu-wire Bonds on the Electrical Switching Behaviour of IGBTs,” *Proc. of the International Exhibition and Conference on Power Electronics and Intelligent Motion (PCIM)*, Nürnberg, 2014, pp. 182-189

- [VII] G. Mannmeusel, M. Bäßler , H. Ströbel-Maier, M. Becker, F. Osterwald, „Bond Buffer – Increase Power Density and Lifetime without Changing the System,” *Bodo’s Power Systems* , Oktober 2014

- [VIII] J. Rudzki, F. Osterwald, M. Becker, R. Eisele, M. Poech, „Power Modules with Increased Power Density and Reliability Using Cu Wire Bonds on Sintered Metal Buffer Layers,” Proc. of Integrated Power Systems (CIPS), Nürnberg, 2014, pp. 450-455

- [IX] R. Dudek, R. Döring, P. Sommer, B. Seiler, K. Kreyssig, H. Walter, M. Becker, M. Günther, „Combined Experimental- and FE-Studies on Sinter-Ag Behaviour and Effects on IGBT-Module Reliability,” *Proc. of Thermal, mechanical and multi-*

physics simulation and experiments in microelectronics and microsystems (eurosime), Ghent, 2014 pp.632-640

Thesen zu der Dissertation

1. Die typischen Verbindungen zum leistungselektronischen Halbleiter, die auf einer gelöteten Unterseite und einer Al-gebondeten Oberseite basieren, sind bezüglich der thermischen Lastwechselbeständigkeit sehr begrenzt. Thermomechanisch getriebene Degradationsvorgänge in den Verbindungen führen zu einem frühen Ausfall des Systems.
2. Ersetzt man die Halbleiter-Substratverbindung durch eine neue hochzuverlässige Verbindungstechnologie (Diffusionslötten oder Sintern) so ist der Zuverlässigkeitsgewinn im System (Modul) nur gering, da der Oberseitenkontakt des Halbleiters (Al-Drähte) die Lebenszeit begrenzt. Es muss also sowohl die untere, als auch die obere Schnittstelle zum Halbleiter durch robuste Verbindungen kontaktiert werden.
3. Mit der DBB-Technologie kann die Lastwechselbeständigkeit leistungselektronischer Module deutlich gesteigert werden. Durch die gesinterten Halbleiterschnittstellen und die gebondeten Cu-Drähte (als alternative zum Al-Draht) ist ein Zuverlässigkeitsgewinn um mindestens den Faktor 10 sicher erreichbar. Dadurch können neue Anwendungsfelder mit extremen Zuverlässigkeitsanforderungen bedient oder die Leistungsdichte bestehender Systeme deutlich erhöht werden.
4. Das auf den Halbleiter gesinterte Cu-Plättchen (BondBuffer) ist in der Lage, den hohen Energieeintrag beim Cu-Bonden zu absorbieren und somit den Halbleiter vor Schäden im Silizium zu wahren. Als Voraussetzung dafür ist eine hinreichende Festigkeit in der Sinterverbindung zwischen der Halbleiteroberseite und dem BondBuffer erforderlich, die durch einen Drucksinterprozess erreicht werden kann.
5. Cu-Draht als Oberseitenkontaktierung der Halbleiter zeichnet sich durch eine hohe Stromtragfähigkeit im Vergleich zum Al-Draht aus. Außerdem ist der typische thermomechanischen Spannungen geschuldete „Lift Off“-Ausfall eines Al-Drahtes bei Cu-Drähten (in Kombination mit dem BondBuffer) nicht zu beobachten.
6. Die Sintertechnologie als Substitut für eine gelötete Verbindung zwischen Halbleiter und Substrat führt zu einer Verminderung des thermischen Widerstands $R_{th\ J-C}$ um ca. 10% und ermöglicht eine Reduzierung der Schichtstärke der druckgesinterten Verbindung. Das ist auf die im Vergleich zu typischen Lotwerkstoffen bessere thermische Leiteigenschaft von Ag zurückzuführen.

7. Die thermische Kapazität des Cu-Plättchens beeinflusst die Impedanz Z_{th-C} der Baugruppe und bewirkt besonders bei kurzen Schaltzeiten ($< 10ms$) eine Abnahme der thermischen Impedanz um mehr als 10%. Für Anwendungen, die bei entsprechenden Frequenzen schalten oder in kurzen Überlastfällen, bedeutet das eine Reduzierung der thermomechanischen Belastungen.
8. Die der DBB-Technologie zugrundeliegenden Verbindungstechniken (Ag-Sintern und Cu-Bonden) sind sehr temperaturstabil und unterstützen die Entwicklung hochtemperatur-beständiger Leistungselektronik.
9. Zur Beurteilung der Anbindungsqualität einer Sinterverbindung bietet sich der Peeltest als quantitatives Testverfahren an, doch sind viele Faktoren zu berücksichtigen, die einen starken Einfluss auf die Peelkraft haben, so z.B. das Material oder die Materialstärke des Peel-Bändchens. Durch das Einführen der Peelcodes ist künftig eine genauere Analyse beim Vergleich unterschiedlicher Ergebnisse möglich.
10. Der quasihydrostatische Drucksinterprozess ist dank der gleichmäßigen Druckverteilung über die gesamte Oberfläche von Vorteil, da Höhenunterschiede zwischen den zu sinternden Bauteilen eines Substrates oder auch Deformationen des Bond-Buffers von dem elastischen Druckkissen des Oberstempels kompensiert werden. Somit lassen sich alle Sinterverbindungen eines Substrates (Halbleiteroberseite, -unterseite, passive Bauelemente) in einem Prozess realisieren.
11. Durch die Entwicklung einer haftenden Oberfläche unter dem BondBuffer kann dieser in einem üblichen Bestückungsverfahren auf der Oberfläche des Halbleiters fixiert werden, bevor der Sinterprozess an einem anderen Ort in der Fertigungskette durchgeführt wird. Das ermöglicht sichere und wirtschaftliche Abläufe, die bei einer hochvolumigen Fertigung erforderlich sind.